

第八届

全国大学生集成电路创新创业大赛

报告类型： 仿真报告和设计报告

参赛杯赛： 芯原杯

作品名称： 基于时间交织技术的 8 位高速 SAR ADC

队伍编号： CICC1827

团队名称： 臭搞 IC 的队

基于时间交织技术的 8 位高速 SAR ADC

摘要:

随着信息时代到来,数据传输的需求日益增长,作为现代通信领域的一项核心技术,高速 Serdes 技术在多领域中发挥着至关重要的作用,因此,数据传输对高速 Serdes (Serializer/Deserializer) 技术的要求也愈加迫切。然而,随着网络应用和云计算的快速发展,高速 Serdes 技术所面临的挑战也变得前所未有的复杂和关键。

高速 Serdes (Serializer/Deserializer) 技术的实现需要模数转换器,传统的模数转换器在性能上已经呈现局限性,采用时间交织 (Time-Interleaved) 技术的 ADC 可以通过多通道交替工作,在保证转换精度的情况下,大幅提升 ADC 的采样速率。相对于其他架构,时间交织 ADC 在高速领域处于领先地位,尤其是子通道采用 SAR ADC 的 TI ADC,在功耗上有巨大优势。

本文以时间交织 SAR ADC 为研究方向,通过系统地研究和设计,提出了关键模块。对于单通道 SAR ADC,本文从多个方面进行了优化:采用能耗更低的转换策略来降低 DAC 转换功耗;增加衬底偏置效应消除结构来提高采样开关线性度;改进高速动态比较器以获得更低的功耗和噪声;采用自适应采样异步 SAR 逻辑来减少时间间隔浪费。最终采用 TSMC 40nm 标准 CMOS 工艺成功设计了一个 16 通道 8 位采样率 10GHz 的时间交织 SAR ADC 电路,其中子 ADC 为 8 位 625MS/s SAR ADC。这些优化措施可以提高 ADC 的精度和稳定性,在实际应用中具有重要意义。

关键词: 时间交织, 逐次逼近 ADC

目录

1、 绪论	4
1.1 设计背景及意义	4
1.2 本报告的组织架构	4
2、 8 位单通道 SAR ADC 设计	5
2.1 单通道 SAR ADC 整体架构	5
2.2 采样开关电路设计	6
2.3 基于下极板采样的 Split-Capacity DAC 分析与设计	7
2.3.1 单位电容设计	7
2.3.2 电容分裂技术	8
2.4 高速低功耗比较器	9
2.5 异步 SAR 逻辑	10
2.5.1 异步时钟逻辑	11
2.5.2 SAR 逻辑	12
3、 8 位 16 通道 10GSPS TI SAR ADC 设计	13
3.1 时间交织 SAR ADC 系统设计	13
3.2 多相位时钟产生电路	14
3.3 时间交织 ADC 原理	15
3.4 时间交织时序控制	16
3.5 时间交织 SAR ADC 非理想因素分析	18
3.5.1 失调失配	18
3.5.2 增益失配	19
3.5.3 采样时间失配	19
4、 电路前仿真报告	20
4.1 基于题目要求的输入信号设置	20
4.2 TI 架构下三种情况的极限 PVT 及动态参数	21
4.3 单通道及四通道 ADC 仿真结果	25
4.4 功耗仿真结果	27
4.5 输入失调电压仿真结果	29
5、 系统 matlab 建模及仿真结果	29
6、 总结与展望	33
6.1 作品总结	33
6.2 后续工作	34
参考文献	37

1、绪论

1.1 设计背景及意义

在过去的几十年里，集成电路技术飞速发展，模数转换器也一直保持着高速的发展趋势。作为现代通信领域的一项核心技术，高速 Serdes 技术在多领域中发挥着至关重要的作用，数据传输对高速 Serdes (Serializer/Deserializer) 技术的要求也愈加迫切，对模数转换器在功耗、噪声、可靠性等方面要求更高，还要求更小的版图、更高的集成度等等。以上这些要求都对模数转换器的设计带来巨大的挑战。

数字 IC 的发展速度始终快于模拟 IC，这就要求作为从模拟信号到数字信号接口的模数转换器的速度、精度向越来越高的方向发展，功耗向越来越低的方向发展，而这些要求一直是模数转换器设计过程的难题。为了满足高采样率、高精度的需求，流水线型 (Pipeline) 模数转换器曾一度作为首选方案，其并行的转换方式，使得其转换速度较高，但是其复杂的系统框架以及对自身模拟电路部分要求较高，使得其又具有芯片面积较大、功耗较高等缺点。传统的逐次逼近型 (Successive Approximated Register, SAR) ADC 主要应用低速超低功耗的场合，SAR ADC 具有结构简单、功耗低、面积小、易于集成的优点。随着集成电路技术的高速发展，工艺的进步使器件的特征尺寸变得越来越小、供电电压变得越来越低，而特征频率则越来越高^[1]。

近年来，SAR ADC 的发展迅速，性能得到大大提升并且其作为超高速时间交织模数转换器的单通道最优解决方案，受到越来越多的关注。

1.2 本报告的组织架构

本文主要设计基于 TSMC 40nm 工艺设计模数转换器及其参考源驱动电路。本文组织架构如下：

第一章对本文的研究背景和意义进行了介绍。

第二章主要介绍了 8 位单通道 SAR ADC，接下来分别介绍 8 位单通道 SAR ADC 的整体架构、采样电路、电容阵列、高速动态比较器以及异步 SAR 逻辑，并介绍其工作原理以及优点。

第三章首先分析了 8 位 16 通道 10GSPS TI SAR ADC 的整体架构, 然后给出了多通道时钟生成电路的设计方案, 接下来分别分析了时域交织 SAR ADC 原理、时域交织时钟控制、时间交织 SAR ADC 非理想因素。

第四章详细分析和介绍了仿真和测试电路和设置参数, 并给出在不同输入信号频率、不同工艺角和不同温度下的前仿结果以及对功耗的测试。

第五章主要介绍了对 8bit SAR ADC 的 matlab 系统建模过程以及最后的仿真结果, 包含代码的介绍以及仿真结果分析。

第六章总结了本文的主要内容以及对后续工作的展望。

2、8 位单通道 SAR ADC 设计

本章将基于 CMOS 40nm 工艺, 针对核心模块电路设计展开介绍。首先介绍整体架构, 其次分别针对 DAC 电容阵列及其具体工作方式、采样电路、比较器、异步 SAR 逻辑电路等展开具体介绍。

2.1 单通道 SAR ADC 整体架构

单通道 SAR ADC 整体电路设计如图 2-1 所示。最终设计目标是 16 通道 10GHz 采样率时间交织 SAR ADC, 故单通道采样速率设计为 625MHz。单通道采用时钟为 10GHz 时钟经过多通道时钟产生电路生成, 为了预留足够时间进行逐次逼近过程, 采用四分之三占空比时钟。即对于单通道而言, 每个周期为 1.6ns, 其中用于采样的时间为 0.4ns, 逐次逼近产生数字码时间为 1.2ns。

为了在有限的时间内得到更高的采样精度, 本次设计采用改进型高速高精度栅压自举开关。为了抑制二次谐波的干扰并提升输入电压范围, 采用差分输入结构。为了解决沟道电荷注入效应以及时钟馈通效应对采样开关造成信号失真等不良影响, 采用下极板采样技术。采用了 VCM_based 开关切换策略以降低整体功耗。以下分别对各关键模块的设计作详细介绍。

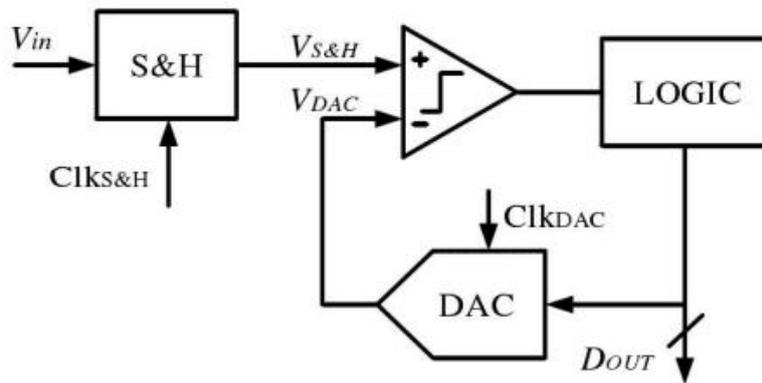


图 2-1 SAR ADC 架构^[2]

2.2 采样开关电路设计

采样开关的精度决定了整体系统的精度。本次设计中采样了改进型自举开关结构，如图 2-2 所示。

当 F2 为低电平时，NF2 为高电平，此时 NMOS 管 M7/M9 导通，M11 栅极电压为 0，因此 G 点(开关管 M11 栅极)电压为 0，处于关断状态。此时 M6/M3 导通，M4 栅源两点电压分别为 VDD 和 GND，自举电容（M4）处于预充电模式。M5 关断，M8 关断，M10 栅极电位为 0，M10 关断，自举通路处于关断状态。

当 F2=1 时，NF2 为低电平，此时 M9、M6 关断，M8 导通，M11 栅极电压处于高电平，M11 导通，此时 M11 源漏两端电压均为 V_{in} 。M11 栅极电压处于高电平，M6 关断，M5 导通，此时 M4 栅级通过 M5 接到 M11 的栅极，根据电容电荷守恒，电容（M4）两端保持电压差 VDD 不变，即 M11 栅极与漏极点存在大小为 VDD 的电压差。

以 M4 栅源两端作为电容上下极板，实现了栅压自举的效果有效提升了采样开关的线性度。

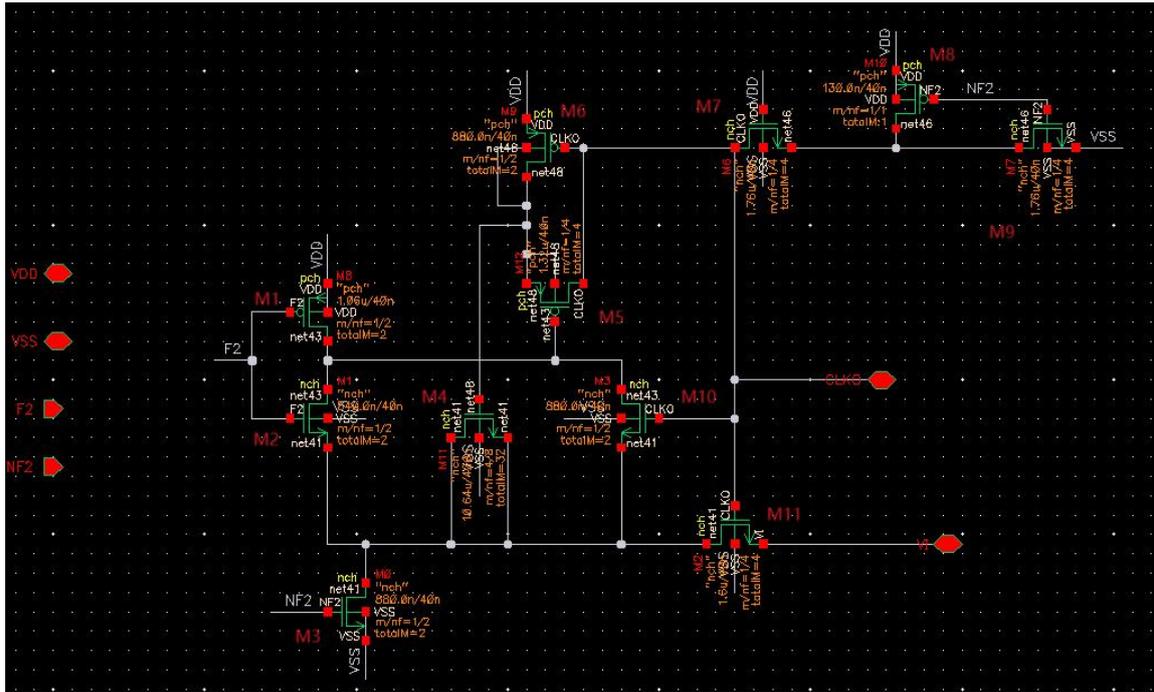


图 2-2 栅压自举开关结构^[3]

2.3 基于下极板采样的 Split-Capacity DAC 分析与设计

本次 DAC 电容阵列选用分段电容阵列以降低版图面积和功耗。并且还采用了全差分结构 VCM_based 开关策略，在逐次逼近状态下会首先比较一次，省去了一位电容。

2.3.1 单位电容设计

单位电容的取值在 SAR ADC 设计非常重要。在 SAR ADC 设计中，通常先确定单位电容大小，再构建整个电路。单位电容对 SAR ADC 整体静态性能和动态性能均有影响，包括电容失配、建立时间、噪声和功耗等。

首先从热噪声角度考虑单位电容取值。在 ADC 设计中，一般遵循以下原则，即噪声（ KT/C 噪声加其他噪声）不能大于量化噪声，以本设计为例，设量化噪声为 P_n ，则有：

$$P_n = \frac{LSB^2}{12} = \frac{(V_{PP}/2^8)^2}{12} = 1.03 \times 10^{-6}$$

信号能量 P_s 为：

$$P_s = \left(\frac{V_{PP}}{2\sqrt{2}}\right)^2 = 0.1$$

DAC 电容阵列可以简化为一阶 RC 电路，其热噪声为 KT/C ，对此结构而言， C_t 是单端电容阵列的总电容，设单位电容为 C_u ，则：

$$C_t = 128C_u$$

差分结构两端电容阵列产生的噪声互不干扰，互不影响。所以整个电容阵列的热噪声能量可以直接由两端噪声叠加得到，即两倍 KT/C 噪声。

$$P_{noise} = 2 \times \frac{KT}{C_t} = \frac{KT}{64C_u}$$

令 DAC 电容阵列热噪声小于量化噪声：

$$P_{noise} < P_n \rightarrow \frac{KT}{64C_u} < 1.03 \times 10^{-6}$$

其中常温下 $KT=0.026\text{eV}$ ， $1\text{ev}=1.602 \times 10^{-19}$ ，代入得：

$$C_u > 0.06\text{fF}$$

由此计算出的单位电容只需要满足很小的单位电容就可以得到低于量化噪声的热噪声。事实上，热噪声在 8 位 SAR ADC 电路中的影响并不明显，而占据主要影响作用的是电容失配，这里单位电容选择大概 2fF ，不能过大，否则量化时间过长，功耗增加^[4]。

2.3.2 电容分裂技术

电容式 DAC 采用“Vcm-based Switching”，相比传统方式总电容可以减小一半。为避免传统方式中无效的预置操作，采用“Split capacitor”电容式 ADC，将 MSB 电容拆分生成与 LSB 电容完全相同的电容阵列，为后续置位提供一组可选的电容组合。

本文所采用的下极板采样技术，与传统的 SAR ADC 上极板采样不同，下极板采样技术可以直接存储输入信号的样本，使比较器有更充分的时间进行比较操作，从而提高精度，如下图所示。

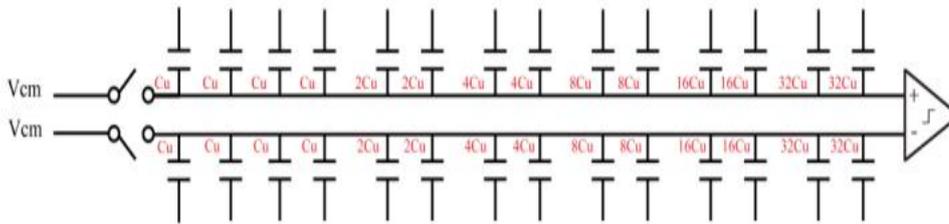


图 2-3 Split-Capacity 结构 SIG-DAC 电容阵列

在采样阶段，下极板通过自举开关采样，此时上极板接共模电压 V_{cm} 。采样结束后，比较器正负两端电容阵列 C_1 、 C_3 、 C_5 、 C_7 、 C_9 、 C_{11} 、 C_{13} 接地，其它电容接参考电压。假设下极板 $V_{cm}=0.5V_{REF}$ ，则此时正负端电容输出为 $V_{REF} - V_{IP}$ 和 $V_{REF} - V_{IN}$ ，然后比较器开始第一次比较，若比较器输出结果为 0，说明 $V_{IP}>V_{IN}$ ，正端接高电位电容 C_{12} 将会被拉低到地，而负端下极板接低电位电容 C_{13} 将被拉到 V_{REF} ，若比较器输出结果为 1，说明 $V_{IP}<V_{IN}$ ，正端接低电位电容 C_{13} 将会被拉高至 V_{REF} ，而负端下极板接高电位电容 C_{12} 将被拉到地。电容式 DAC 置位稳定后，进行下一次比较，后续如上述操作进行，直至 LSB 位比出结果。

Vcm-based 电容式 DAC，这种先比较再进行对称置位的方式，电容减少为原来一半，在保持共模电压不变的同时，置位操作功耗消耗的更低。

2.4 高速低功耗比较器

比较器是决定 SAR ADC 速度、噪声与低功耗性能的核心模块。关于比较器速度，要求其平均延迟低于 120ps。由于比较器判决延迟与输入信号幅度大小有关，本次单通道 SAR ADC 采用高速动态比较器结构，由一级放大级和锁存器构成，其电路原理图如图 2-4 所示。本次采用的比较器相较于传统动态比较器而言，在速度、噪声和功耗等方面均有一定的改进。以下从速度、噪声和功耗三方面进行分析。

本设计采用两级动态比较器，第一级为差分放大级，第二级由锁存器组成，可以得到轨到轨输出 OOUTP/OOUTN。放大器的放大速度是先快后慢，而锁存器的放大速度是先慢后快，通过预放大器加锁存器的组合，能够结合放大器和锁存器的优点，使各自工作在最高速的状态。除此之外，比较器采用了 NMOS 和 PMOS 管混合输

入结构，与传统单一 MOS 管输入结构相比，输入级的跨导增加，预放大器的速度得到提高。

CLK 处于低电平时，M5 关断，M13/M14 导通，P/N 端被拉高到 VDD，AP/AN 端此时为低电平，比较器输出 Q/QN 为 1。当 CLK 上升沿到来，第一级放大器开始预放大，在 P/N 被放电至地的过程中，二者差模输出电压也在降低。当 P/N 共模电压被拉低到接近第二级输入差分对 M6/M7 的阈值电压时，第二级锁存器被触发，通过锁存器正反馈机制产生轨到轨输出。

第一级放大级的功耗主要在于输出端寄生电容在比较-重置过程中完全充放电，可以通过优化放大器输出寄生电容来减小动态功耗。但寄生电容又会影响充电时间，进而影响预放大级差模增益。一般将预放大差模增益设置为 5，这样可以在第二级噪声抑制与第一级动态功耗之间取得较好折中。而将第一级输入管偏置在亚阈值区，有助于获得更低的等效输入噪声。

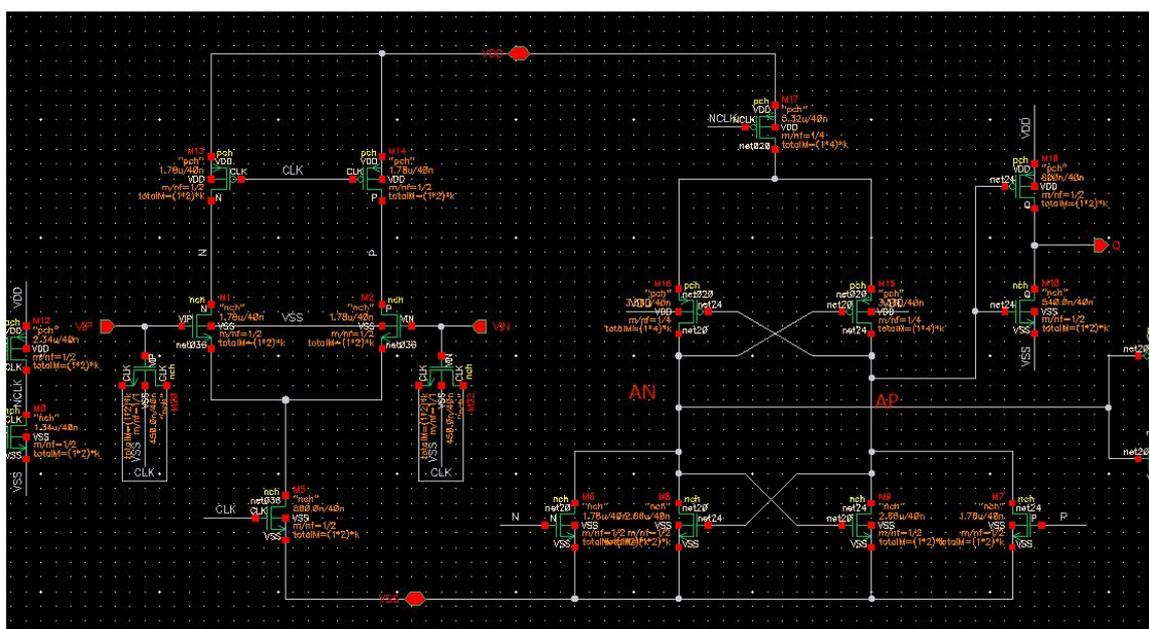


图 2-4 两级动态比较器电路

2.5 异步 SAR 逻辑

异步 SAR 逻辑可以分为异步逻辑和 SAR 逻辑，两者都关注延迟性能。异步逻辑是系统内部产生时钟来保证操作依次有序进行，是 SAR ADC 系统速度的主要瓶颈，SAR 逻辑负责将比较器结果存储并反馈控制 DAC，应尽可能减小这一逻辑延

迟为电容式 DAC 建立争取更多时间。本节将分别介绍本设计中的异步逻辑与 SAR 逻辑实现电路。

2.5.1 异步时钟逻辑

本设计中的异步时钟逻辑是通过比较器产生输出触发 SAR 逻辑与 SAR 逻辑延迟触发比较器相结合，产生异步时钟来保证 SAR ADC 内部操作及时有序进行，如图 2-5。

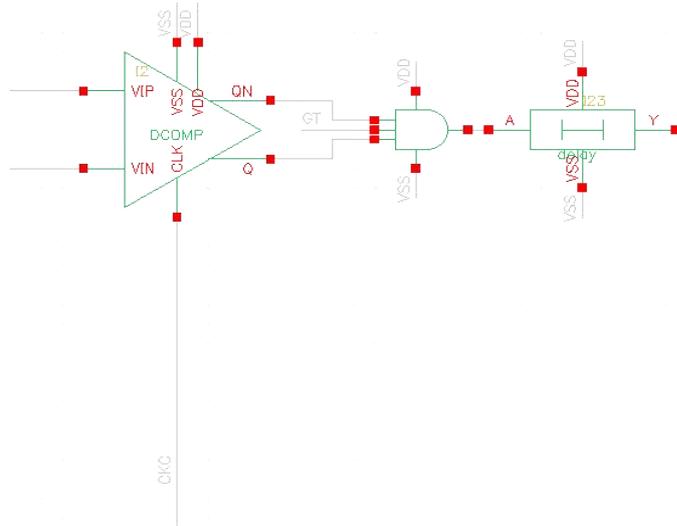


图 2-5 异步时钟逻辑

异步逻辑时钟环路由与门、延迟器件以及比较器组成，比较器高电平进行比较。采样阶段 CLK 为低电平，比较器默认输出为均为“0”。当采样结束，GT 信号变为高电平。经过延时器件后，CLK 变为高电平，比较器对输入信号进行比较。同时，CLK 可以触发 SAR 逻辑，将比较结果存储并反馈至电容式 DAC。比较结束后，产生高低电平输出，并触发与门，与门输出变为高低电平，意味着 CLK 再次变为低电平，比较器处于保持阶段。保持阶段下输出再一次变高又将再一次拉高 CLK。由于比较器与逻辑门都存在延迟，所以上述事件存在“滞后性”，可以依次触发、循环进行，保证逻辑高速进行，直至最后一次比较完成，GT 信号变为 0，逻辑重置。采样时钟再次到来时，产生 GT 信号的寄存器被重置，而 CLK 保持不变。假设这些环路组成单元延迟固定，则在转换阶段一次转换的时间 T 为：

$$T = 2 (T_{\text{com}} + T_{\text{and}} + T_{\text{delay}})$$

其中 T_{com} 、 T_{and} 、 T_{delay} 分别为比较器，异或门和或门的延迟时间。因此异步逻辑环路延迟是 SAR ADC 系统速度瓶颈,在给定采样保持时间和转换次数的前提下,决定了 SAR ADC 采样频率的极限值。但异步逻辑环路延迟并非越小越好,其需要保证在下一次 CLK 下降时,电容式 DAC 输出信号稳定到一个可接受的范围。

2.5.2 SAR 逻辑

SAR 逻辑核心是在比较器产生判决结果前,打开比较器输出到对应电容的逻辑通路,相比传统 SAR 逻辑可以减少一个 D 触发器延迟,降低了延迟。

本设计所使用的是以一种基于触发器和与门的控制信号生成器,其对应的电路和时序如图 2-6 所示,上面由 8 个触发器组成,下面由 8 个与门组成。当 NRST 为 0,控制信号生成器中的触发器处于 Reset 状态,输出为 0。在 ADC 转换阶段, NRST 为 1, NCLK 变为高电平之后,第一个触发器输出被拉高到 VDD;下一个 NCLK 上升沿到来后,第二个触发器输出又被拉高。8 个触发器输出依次切换,依此被拉高至 VDD。同时,相邻两个触发器输出进行逻辑“与”操作,保证锁存器控制信号 T1、T2……T8 依次产生。这种锁存器信号发生器非常简单,可以用数字逻辑单元搭建。

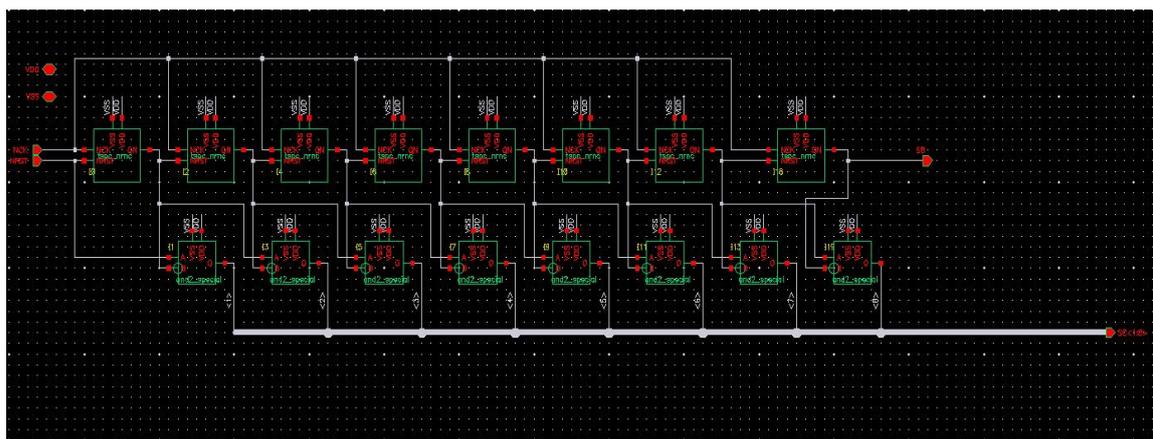


图 2-6 SAR 逻辑生成电路

SAR 逻辑中的锁存器要求在控制信使能时准备好比较器输出到电容式 DAC 的高速通路。对应的锁存器电路如图 2-8 所示。当 NRST 为 1,锁存器输出均为低电

平；当 NRST 为 1，并且锁存器控制信号未到来之前，锁存器输出仍为低电平，但处于高阻状态。当对应的 NCLK 到来，此时比较器尚未产生判决结果，锁存器控制开关导通。

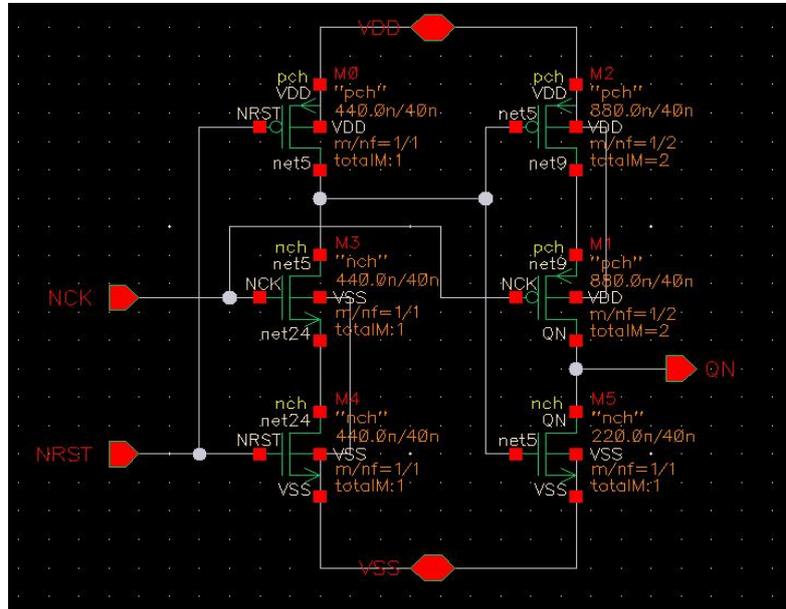


图 2-7 锁存器电路

3、8 位 16 通道 10GSPS TI SAR ADC 设计

利用前面设计的单通道 SAR ADC 作为子通道，设计实现了 16 通道交织 8 位 10GHz 采样率 SAR ADC。

3.1 时间交织 SAR ADC 系统设计

根据时间交织原理，设计一款 16 通道 10GHz 采样率的时间交织 SAR ADC 电路。本文采用直接采样的时间交织方式，其中 CK<3:0> 为多通道时钟产生电路生成，Sub_ADC0、Sub_ADC1、…、Sub_ADC15 是设计的 8 位单通道 SAR ADC 电路。基于对于模数转换器要求，本设计的目标是先在 TSMC 40nm 工艺下设计一款 10GHz 8 bit SAR ADC。其系统架构，如图 1-1 所示，包含采样开关，输出缓冲器，

单通道 SAR ADC 以及输出选择器。

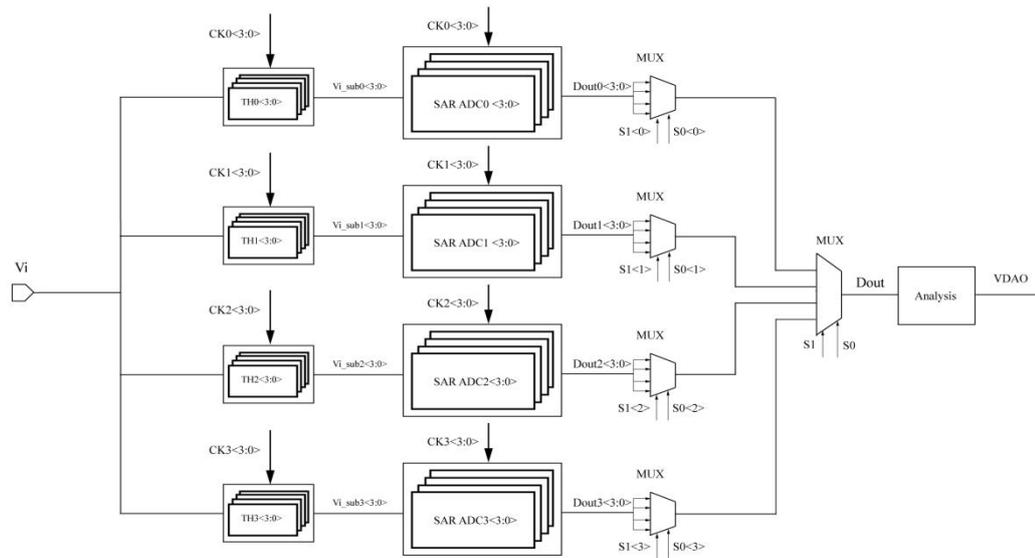


图 3-1 TI SAR ADC 架构^{[7][10]}

3.2 多相位时钟产生电路

图 3-2 为 4 位多通道时钟产生电路，由 4 个 D 触发器构成，其中第一个触发器与后面的 3 个触发器在复位状态下有所不同。当使能信号 EN 为高时，后面 3 个 D 触发器均处于复位状态，而触发器 D1 复位状态的输出 Q 为高，即 CLK0 为高，CLK1~CLK3 为低。当使能信号为低电平，D 触发器开始正常工作，CLK0 经历第一个高电平。对触发器 D2 来说，触发信号 CLK0 为高电平，故 CLK1 由低电平转化为高电平。在此同时，对第一个触发器 D1 来说，触发信号 CLK3 为低电平，故 CLK0 由高电平转化为低电平。经历 4 个 CLKH 周期后，CLK0 才会第二次转化为高电平，以此类推，最终生成多通道时序如图 3-3 所示。

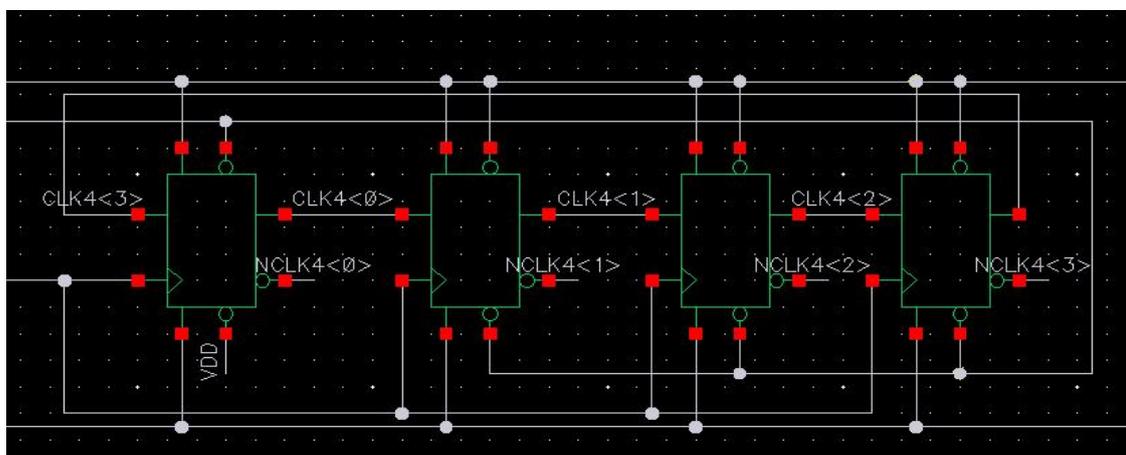


图 3-2 4 位时钟生成电路^[11]

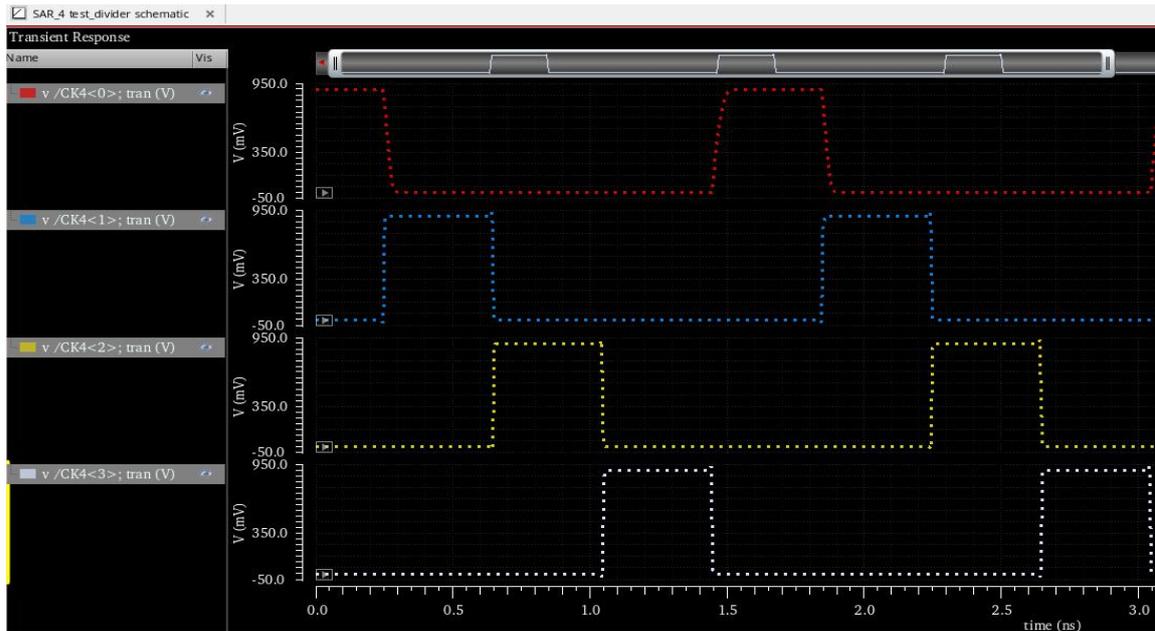


图 3-3 4 位时钟时序

3.3 时间交织 ADC 原理

目前为满足最新的通信标准，企业与高校都在寻找更高速、更高精度的 ADC。但是目前许多的单通道 ADC，已经工作目前的工艺极限上，无法达到更高的转换速率。此处需要提到的是，目前 8 位单通道 ADC 大部分都不超过 1GSPS，但是，采用 2bit/cycle 的架构可以有效的减少 adc 的转换周期数^[1]，从而提高转换速度，这也是我们小组下一步的工作内容，即将目前单通道的 adc 由 1bit/cycle 改进为 2bit/cycle。

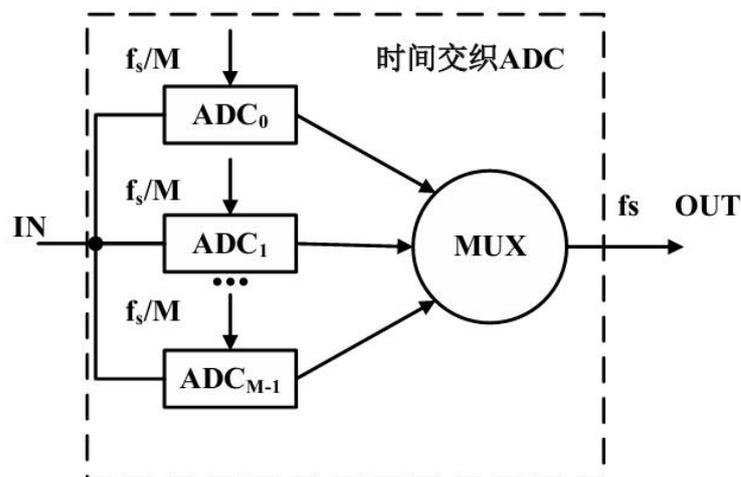


图 3-4 时间交织系统框架^[12]

如图展示了一个典型结构的 M 通道时间交织 ADC，时间交织技术的特点即使 M 给单通道 ADC 交替的采样和转换，从而实现并行转换，最后再通过 MUX 对转换得到的数字码进行选通，从而实现了整体采样率的倍增。对于每个采样速率为 f_{sub} 的子通道，其时钟周期为 $T_{sub}=1/f_{sub}$ ，设置相邻时钟周期的时间 T_{sub}/M 。此时由于 M 个通道的 ADC 都连续并行的进行采样，因此，对于整个时间交织 ADC，采样率为 Mf_{sub} ，即相当于单通道转换速度的 M 倍。

为了提升采样率，通常会采用提高通道数的方式，Lukas Kull 团队所做的 24 - 72-GS/s 8-b Ti-SAR ADC^[6]采用总共 64 个 SAR ADC 并行转换。为了便于多通道的时序控制与输入信号的保持和采样，采用了两级的 ADC 并行，即 $16*4$ 的 Ti-SAR ADC 架构。对于本小组的 Ti-SAR ADC，采用了 $4*4$ 的交织结构，每个 ADC 的采用率为 625MHz，首先采用 4 个子 ADC 并行采样实现了 2.5GHz 的 Ti-SAR ADC，再使用如此的 4 个 2.5GHz ADC 并行采样，最终实现了 10GHz 的 Ti-SAR ADC。

3.4 时间交织时序控制

对于 10GHz 的采样率，对应的时钟周期为 100ps，考虑 $4*4$ 的 Ti 结构，将周期为 100ps 的主时钟接入我们设计的多相位分频时钟，得到 4 个通道的时钟信号，每个通道的时钟周期为 400ps，相邻通道的相位差为 T_{sub}/M ，即 100ps。此时生成 4 个通道的时钟信号的时钟占空比为 1/4，如下图所示，脉冲宽度为 100ps，周期为 400ps，相位通道的时间差为 100ps。

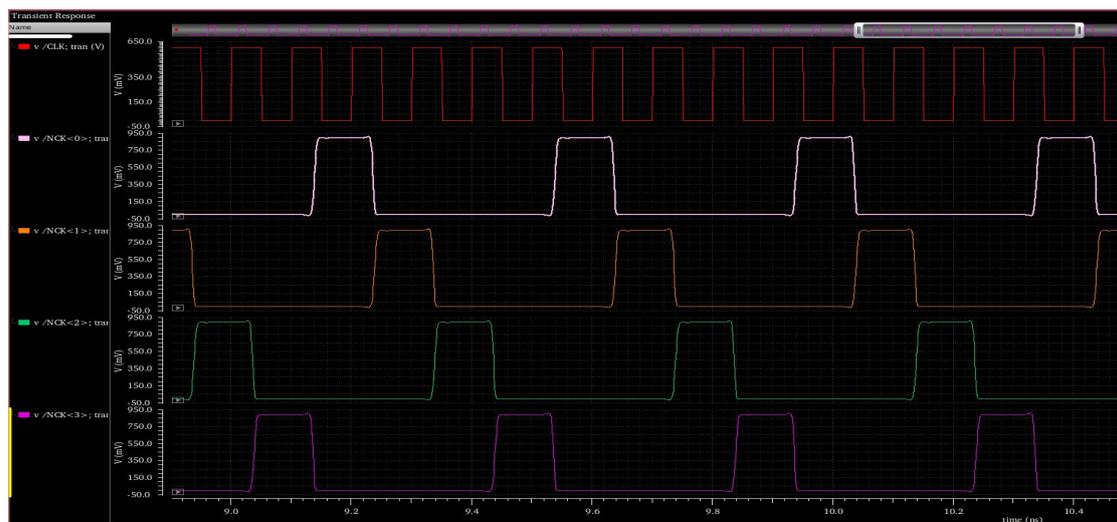


图 3-5 第一级时序控制

由此，这 4 个 2.5GHz 的 ADC 在不同的时间完成了采样，在不同的时间完成了数字码的转换，以此提高了转换的并行度。

由于每次数字码的转换出现在采样周期的开始前，即上图的脉冲上升沿，因此，当每一个通道进入采样的阶段时，该通道的上一个周期的转换已经完成，在此时，MUX 对该通道生成的数字码进行选通。MUX 的控制信号通过或门实现，即 $S0=NCK<1> \text{ OR } NCK<3>$, $S1=NCK<2> \text{ OR } NCK<3>$ ，再将 4 个 2.5GHz ADC 的数字码输出接入对应的 MUX 输入端口即可。

对于第二级的 ADC，也是采用类似的方式，将 4 个 625MHz ADC 进行时间交织，得到 2.5GHz ADC。对于 625MHz 的子 ADC，时钟周期为 1.6ns，因此，需要对上图的各通道的时钟信号再次进行 4 分频，以得到 4 个通道的 1.6ns 周期的时钟信号，相邻通道的相位差为 T_{sub}/M ，即 400ps。考虑到子通道 625MHz ADC 需求的时钟占空比为 3/4，此时生成的时钟占空比为 1/4（同时也生成了占空比为 3/4 时钟），具体时序路下图所示，各通道的脉冲宽度为 400ps，周期为 1.6ns，相邻通道的相位差是 400ps。

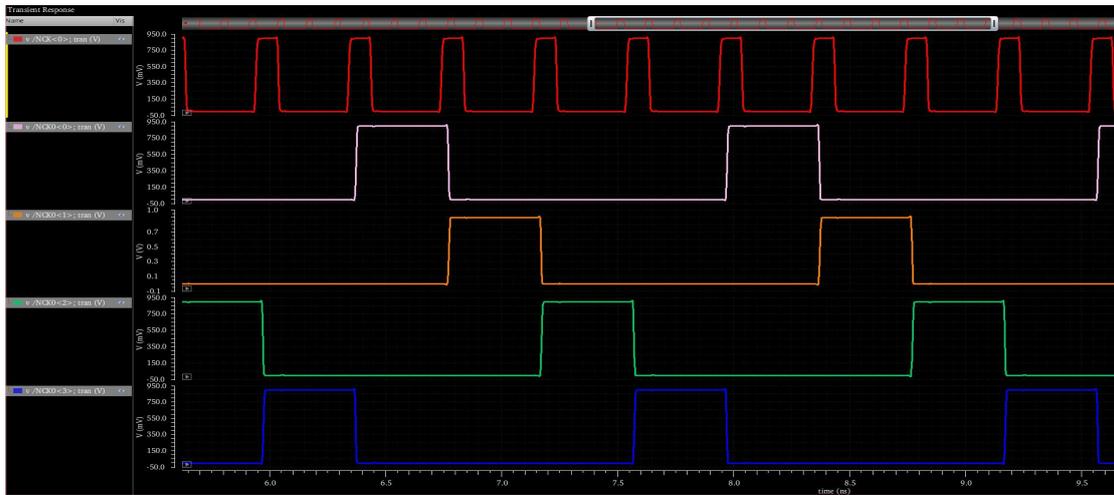


图 3-6 第二级时序控制

对于每个子 ADC，在上图时钟的高电平阶段进行采样，在低电平阶段进行转换，并在下一个周期的采样开始前，即上升沿之前输出本次采样、转换得到的数字码。因此，将这 4 个不同相位的时钟分别输入不同子 ADC，使 4 个 ADC 在不同的时间交错输出数字码，并通过使用 MUX 对 4 路的数字码进行选通，就可以有效地提高转换速度。对于本设计，即在 1.6ns 内实现了 4 次数字码的输出。因此，4 个 625MHz 的子 ADC 通过时间交织技术得到了 2.5GHz ADC，再进行一次时间交织，得到了 10GHz Ti-SAR ADC。

3.5 时间交织 SAR ADC 非理想因素分析

时间交织技术虽然有效的提升了 ADC 系统的采样速率，但是也引入了许多缺陷：功耗和版图面积的成倍上升，各子通道中非理想因素引起的失配。单纯从电路的指标上来看，在相同的输入信号频率下（低于 f_s ）本小组的 ADC 在完成 4*4 路子 ADC 交织的电路有效位数低于 4 路子 ADC 交织的电路。对于时间交织 ADC，功耗和面积增加的缺陷从原理上无法避免，可以通过优化单通道 ADC 解决。但是通道失配问题对整体 ADC 的性能则会产生较大的影响。下图 1Ti ADC 中的单通道 ADC 的线性时不变模型^[5]：

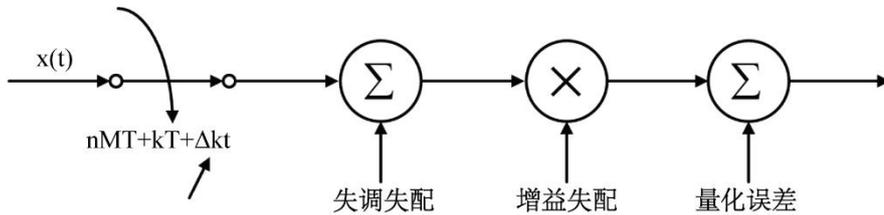


图 3-7 单通道 ADC 线性时不变模型

M 对应 T_i ADC 的通道数， T 表示 T_i ADC 的整体时钟周期， k 表示此单通道 ADC 在整体 T_i ADC 中是第 k 个开始转换， $\Delta k t$ 表示该单通道 ADC 的时钟相对于理想时钟的偏移量。输入信号 $x(t)$ 进入 ADC 后，在 $nMT+kT+\Delta k t$ 时刻被采样，随后由于单通道 ADC 中的非理想因素，产生了失调电压，并且该失调电压经过 ADC 放大了某增益倍数，并且最后在数字码还会叠加上量化噪声。

3.5.1 失调失配

通常而言，ADC 内的比较器的会产生失调误差。失调误差体现为一种直流分量，会造成传输曲线整体的偏移，在单通道 ADC 中不会影响非线性。但是，由于 T_i ADC 工作时，各通道循环进行工作，并且各通道的 ADC 失调不同，会即出现了失调失配，具体体现为周期性的噪声。对 T_i ADC 的影响较大。通过频域上的计算分析^[4]，可得失调失配频点位置为：

$$F_{dis} = i \times \frac{F_s}{M}, i = 1, 2, 3, \dots, M$$

即失调偏移量将在频率 F_s/M （单通道频率）的整数倍处产生谐波分量，并且谐波分量与输入信号频率、幅度和相位均无关，只与失调偏移量大小相关。

3.5.2 增益失配

对于单通道的增益误差，通常是理想参考电压和实际参考电压、输入信号和采样值之间的偏差造成的，这会造成 ADC 传输斜率的改变，并引起频谱杂散。与失调失配类似，不同通道的增益误差不同造成了增益失配。通过频域上的计算分析，可得到对于通道数为 M 的 T_i ADC，输入频率为 f_{in} 的信号时的增益失调频点：

$$F_{dis} = \pm f_{in} + i \times \frac{F_s}{M}, i = 1, 2, 3 \dots M$$

增益失配会在上式的频点中产生谐波分量，谐波分量与输入信号频率、增益失配值等都相关。

3.5.3 采样时间失配

通常而言， T_i ADC 内通过对高频的主时钟进行分频，得到子 ADC 的工作频率，再根据对应的时序接入子 ADC。对于理想的 T_i ADC，相邻通道的采样时钟相差 T (T_i ADC 整体时钟周期)，但是在实际电路中，由于版图的设计、工艺的偏差，不同的通道的采样时刻，或者是设计上的缺陷，可能发生不同程度的偏移。采样时钟失配可能是由于多相时钟产生器输出存在相位偏移等因素导致各通道的采样时钟相位之间存在失配现象。这种失配会使得同一个采样周期内对不同通道进行采样的时刻产生不均匀性，从而影响了 ADC 的精度和稳定性。

对于单通道 ADC，这只会造成采样时间的整体提前或偏移，不会对频谱造成影响。但是对于时间交织 ADC，由于多通道 ADC 轮流输出数字码，因此各通道采样时钟的偏移会引起周期性的噪声，在频谱上表现为高频噪声。通过频域上的分析，可得对于通道数为 M 的 T_i ADC，输入频率为 f_{in} 的信号时的时间失配的失配频点位置：

$$F_{dis} = \pm f_{in} + i \times \frac{F_s}{M}, i = 1, 2, 3 \dots M$$

4、电路前仿真报告

本章将基于 cadence virtuoso, 对上文介绍的 TI SAR ADC 设计进行前仿, 仿真内容涵盖 3 种情况下的极限 PVT 性能, ADC 分辨率, 吞吐率, 信噪失真比, 各模块功耗, 部分静态参数。

4.1 基于题目要求的输入信号设置

为了方便对比各种仿真情况的结果, 本章的各类仿真均采用相同的理想差分正弦波作为输入信号, 并保持其基本设置不变, 如图 4-1 所示。

图 4-1 理想输入信号设置

根据题目要求, 输入信号摆幅为 1V, 且由两个差分输入信号 vip、vin 提供, vip-vin 的范围要介于 -0.5V ~ 0.5V 之间, 故将差分输入的共模量设置为 450mV, 差分输入的摆幅为 500mV, 相位相反。为了方便修改频率, 使用变量 T 代表时钟周期, 其倒数表示时钟频率, 128 代表 FFT 过程中的采样点数。变量 N 为小于 64 的质数, 可以在满足奈奎斯特采样定理且避免频率泄露的前提下, 通过修改 N 的取值调整输入信号频率和时钟频率的倍数关系, 从而实现 fin 的调整。

输入信号与两个差分信号的实际效果如图 4-2 所示。

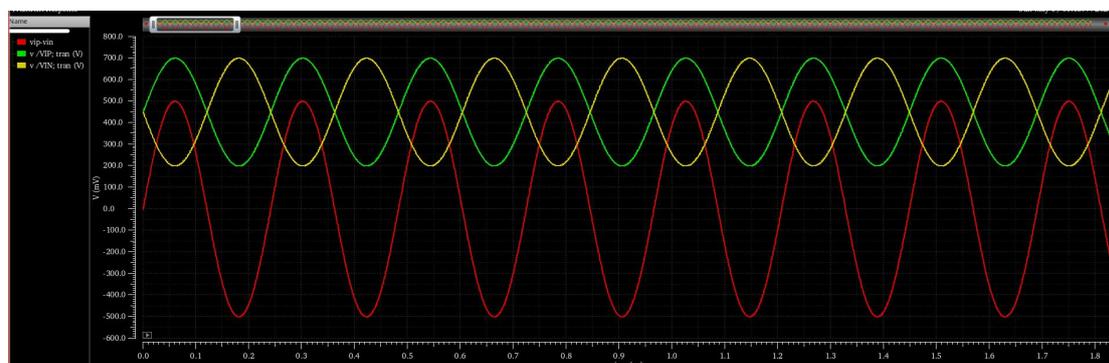


图 4-2 输入信号效果

如图 4-3 所示，8bits ADC 把输入信号转换成 8 位数字码，为了观察转换情况以及后续的 FFT 分析，我们为 ADC 设计了一个数字转模拟的模块。32 位输入的 MUX 将 16 个单通道 ADC 依次选通，得到 TI SAR ADC 的真正输出 MUXOUT<7:0>。8 个信号依照各自的权重，被接在阻值不同的电阻上，在电流叠加的作用下，可以在电阻阵列的右端获得该数字码代表的电压值。由于电阻削弱了实际的电压值，因此采用理想的电压控制电压源（vcvs）进行 10000 倍的放大，得到的 VDAO<0>即为数字转模拟的结果。

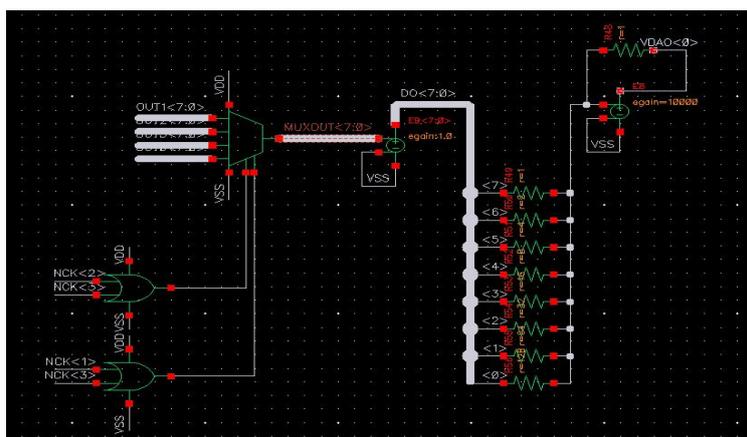


图 4-3 数字码转模拟电压模块

4.2 TI 架构下三种情况的极限 PVT 及动态参数

根据题目的要求，极限 PVT 性能需要涵盖三种情况：①T=125°C、Process=FF、VDD=1.1V；②T=27°C、Process=TT、VDD=1.0V；③T=-40°C、Process=SS、VDD=0.9V。

对于情况①，仿真环境的设置如图 4-4 所示。

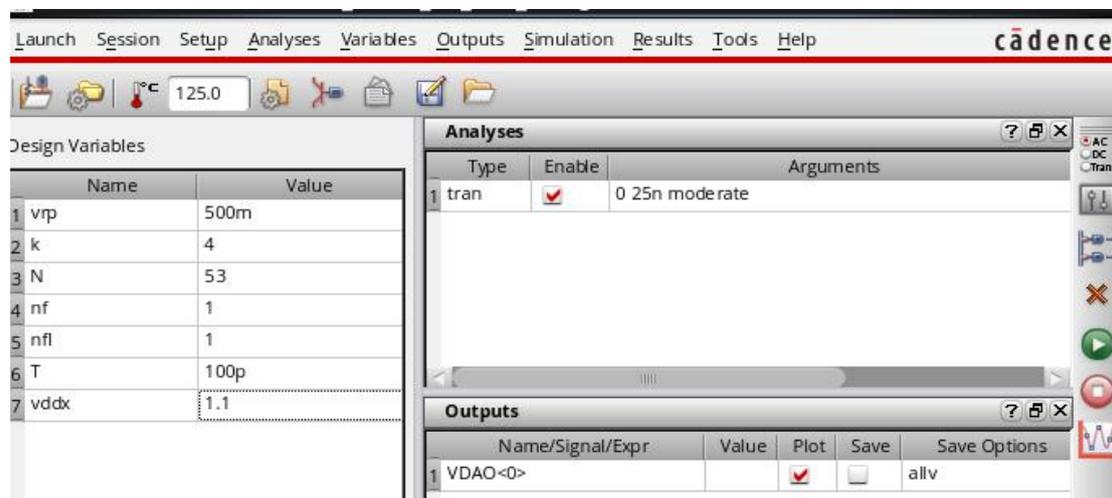


图 4-4 FF 工艺角的仿真设置

变量 v_{rp} 表示参考电压 V_{rep} 的大小,根据题目要求, $V_{rep}-V_{ren}$ 应等于 $0.5V$,所以在设置 v_{rp} 为 $500mV$,而 V_{ren} 的输入做接地处理。为了验证电路的吞吐率,将 T 设置为 $100ps$,对应 $10GHz$ 的转换率。变量 v_{ddx} 表示工作电压 VDD ,FF 工艺角的仿真下设置为 $1.1V$ 。考虑到题目要求 f_{in} 介于 $4GHz\sim 5GHz$,将 N 设置为 53 ,此时输入信号的频率为:

$$f_{in} = \frac{N}{128} \times \frac{1}{T_{clk}} = \frac{53}{128} \times \frac{1}{100p} \approx 4.14GHz$$

运行仿真,得到数字转模拟的结果(时域波形)如图 4-5 所示。使用 virtuoso 自带的 Spectrum 进行 FFT 分析,设置采样点数 128 ,采样频率 $10GHz$,偏置为 1 ,谐波为 7 ,采样起始点应选在稳定的电平上,例如 $2.42ns$ 处,FFT 分析结果如图 4-6 所示。可以看到,有效位数(ENoB)达到 $5.357bits$,信噪失真比(SINAD)达到 $34.01dB$,无杂散动态范围(SFDR)达到 $40.07dBc$,均满足题目要求的典型值大小。

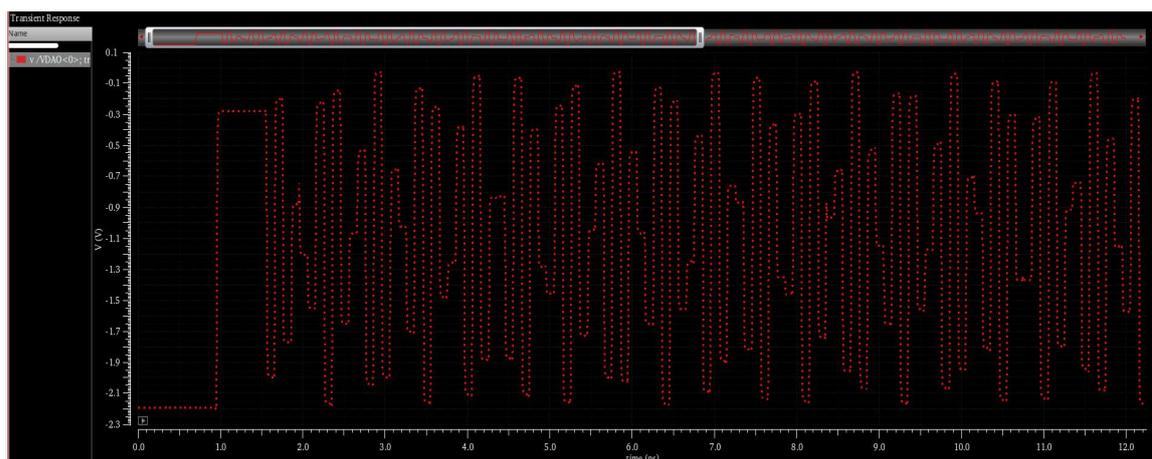


图 4-5 时域波形 (FF, $f_{in}=4.1GHz$)



图 4-6 FFT 分析结果 (FF, $f_{in}=4.1GHz$)

对于情况②，仿真环境的设置如图 4-7 所示。

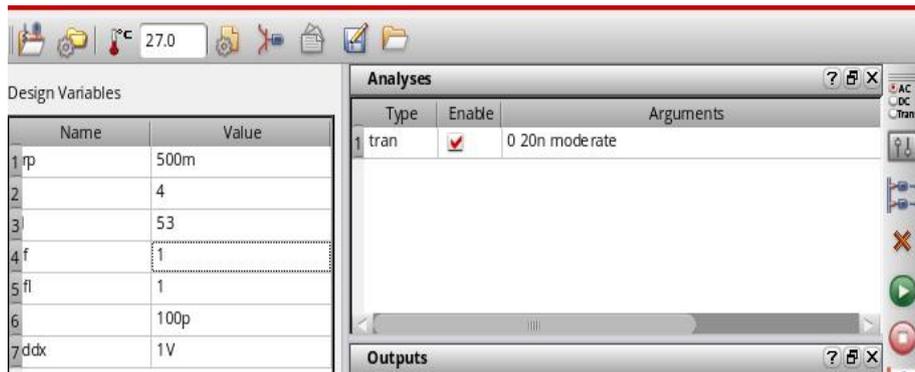


图 4-7 TT 工艺角的仿真设置

根据题目要求，在 tt 工艺角的仿真中，温度下降至 27°C，工作电压下降至 1V，其它设置保持不变，仿真后得到时域波形如图 4-8 所示，参考上文进行 FFT 分析，结果如图 4-9 所示。

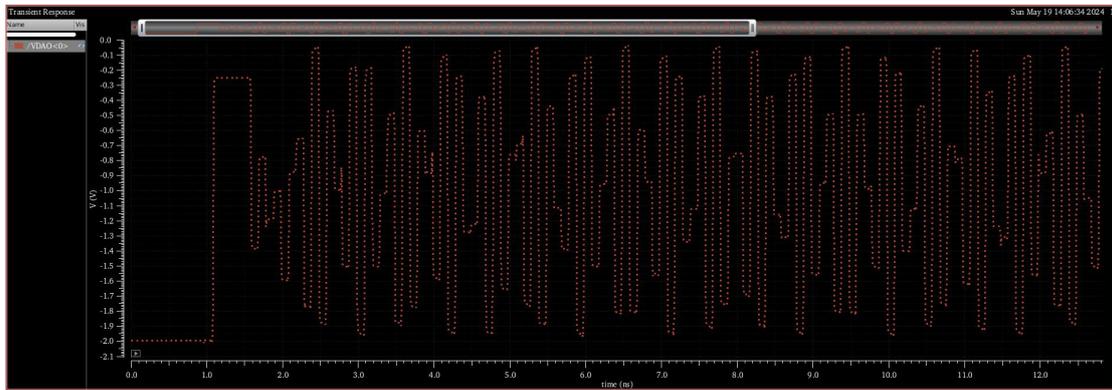


图 4-8 时域波形 (TT, fin=4.1GHz)

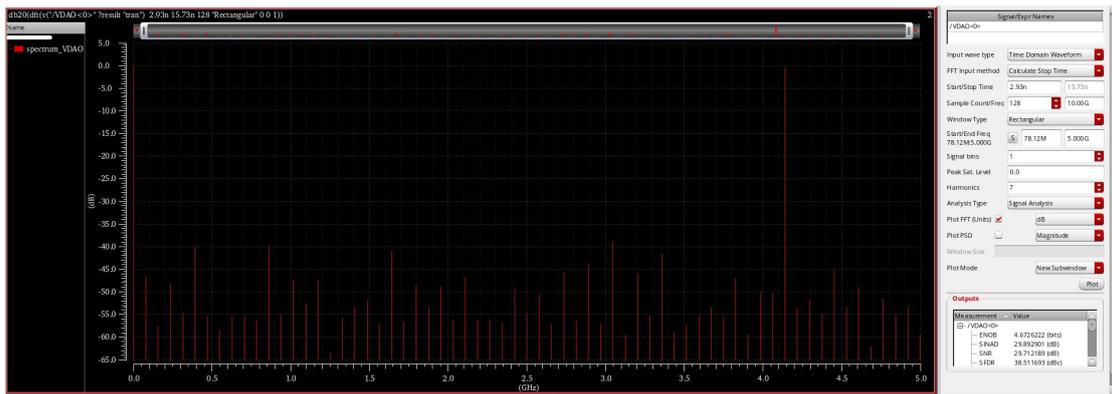


图 4-9 FFT 分析结果 (TT, fin=4.1GHz)

可以看到，在 TT 工艺角、27°C、工作电压 1V 的条件下，ADC 的信噪失真比 (SINAD) 达到 29.89dB，无杂散动态范围 (SFDR) 达到 38.5dBc，尽管相较于 FF 工艺角性能有所下降，但是依然保持在一个较为良好的水平，后续可以通过减小时钟抖动、噪声回踢等影响，实现性能的提升。

对于情况③，仿真环境的设置如图 4-10 所示。

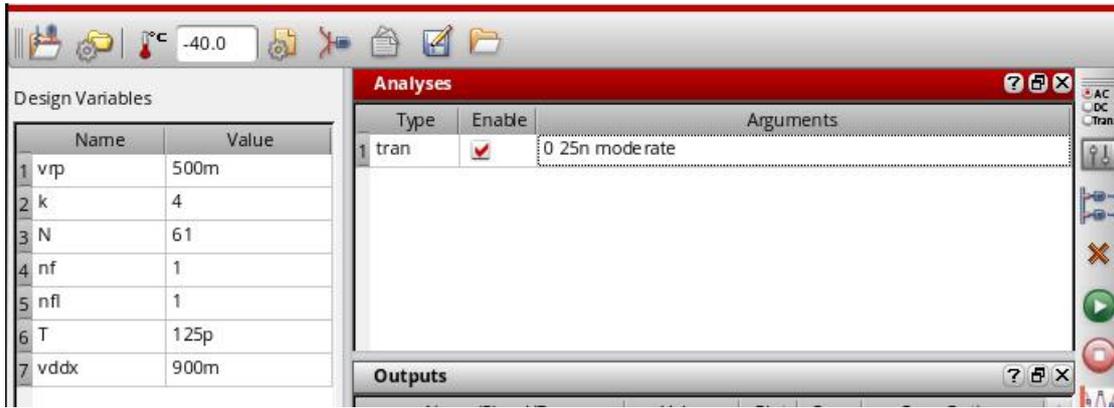


图 4-10 SS 工艺角的仿真设置

受限于工艺角的性能，在 process 为 ss，温度为 -40°C 的环境下，系统的采样率难以保持在 10GHz，在满足奈奎斯特采样定理的前提下，将采样率降低为 8GHz（时钟周期 125ps），输入信号频率为 3.8GHz，根据题目要求，工作电压降低为 900mV。仿真后得到的时域波形如图所示，参考上文的步骤进行 FFT 分析，得到动态参数如图 4-11 所示。

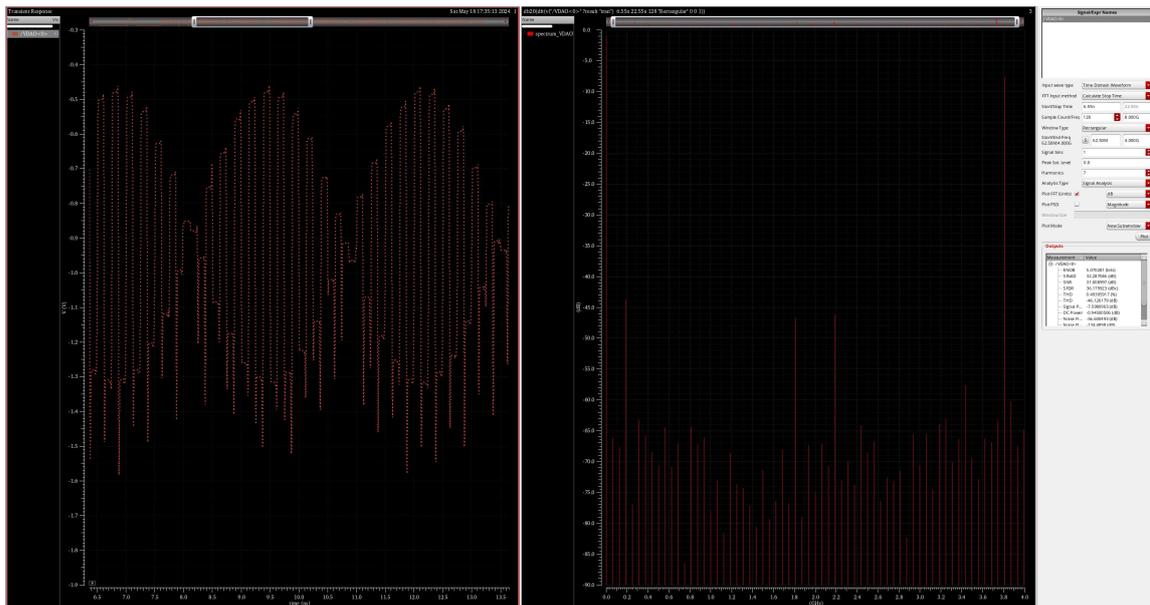


图 4-11 时域波形及 FFT 结果（SS， $f_{in}=3.8\text{GHz}$ ）

可以看到，在 SS 工艺角、 -40°C 、工作电压 900mV 的条件下，ADC 的信噪失真比（SINAD）达到 32.28dB，无杂散动态范围（SFDR）达到 36.17dBc，尽管两者的数值较为可观，但这是以吞吐率的降低为代价的，经过仿真发现，时钟频率为 10GHz 时，转换时间窗口不足以让 ADC 完成全部的转换周期。在后续的设计中，SS 工艺角依然有优化的空间。

表格 4-1 三种极限 PVT 结果统计

<i>(Process, T, VDD)</i>	<i>(FF, 125°C, 1.1V)</i>	<i>(TT, 27°C, 1V)</i>	<i>(SS, -40°C, 0.9V)</i>
f_{in}	4.14GHz	4.14GHz	3.8GHz
f_{sample}	10GHz	10GHz	8GHz
$ENoB$	5.357 bits	4.672 bits	5.070 bits
$SINAD$	34.01 dB	29.89 dB	32.28 dB
$SNDR$	40.07 dBc	38.5 dBc	36.17 dBc

除了 GHz 级别的输入，我们对 MHz 级别的输入也同样进行了仿真，为了避免 100M 输入带来的频率泄露问题，将 N 设置为 3，尽可能降低输入信号的频率（ $f_{in}=234\text{MHz}$ ），其它设置不变，重复上述操作，得到的结果如图 4-12 所示。

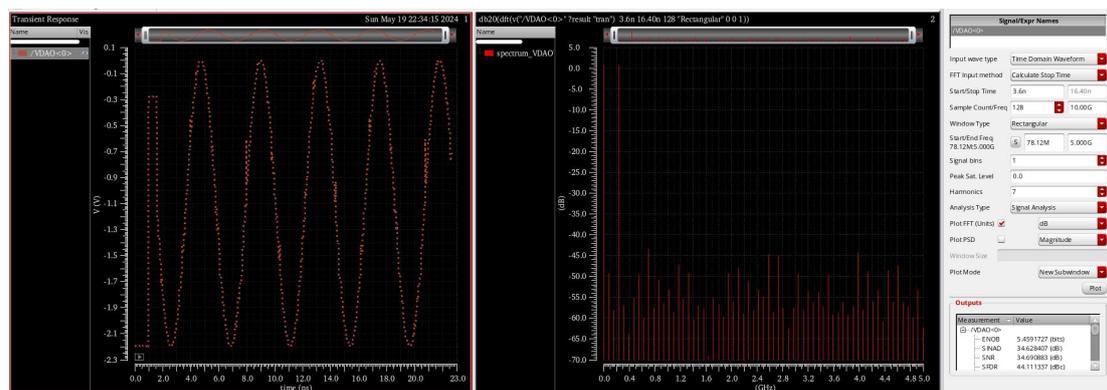


图 4-12 时域波形及频谱图（FF, $f_{in}=234\text{MHz}$ ）

在输入频率为 234MHz 时，有效位数达到 5.45bits，信噪失真比达到 34.62dB，无杂散动态范围达到 44.11dBc，对于低频的输入信号，ADC 有更好的转换效果，该指标基本达到赛题对低频输入的典型值要求。

4.3 单通道及四通道 ADC 仿真结果

考虑到本文涉及的 ADC 由 4*4 个 ADC 进行时序交织产生，所以我们同样关心单通道 ADC 和四通道交织的 ADC 的性能，因为这会在很大程度上决定 16 通道 ADC 的上限。

对于 10GHz 采样率的 TI SAR ADC，理想情况下，单个通道的采样率应该达到 625MHz，将采样率设置为 625MHz，针对其中一个通道进行仿真并做 FFT

分析，结果如图 4-13 所示。

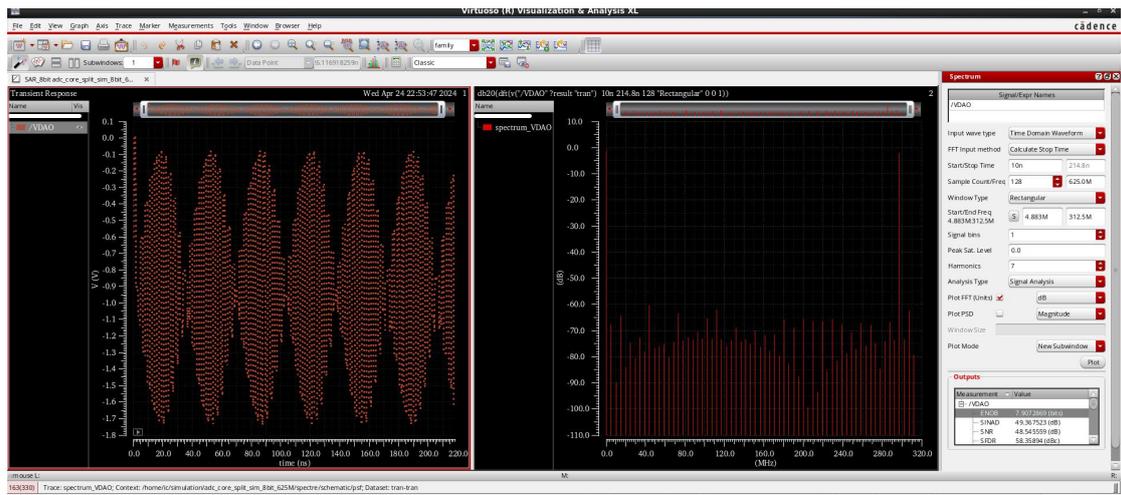


图 4-13 单通道 ADC 仿真结果

当采样率为 625MHz 时，单通道 ADC 的有效位数达到 7.907bits，信噪失真比达到 49.36dB，无杂散动态范围达到 58.35dBc。可以认为，系统中的单通道 8bits ADC 具有非常好的抗噪声性能和动态范围，这在很大程度上保证了 4 通道 ADC 的性能上限以及 4*4 通道 ADC 的实际性能。

理想情况下，4 通道的采样率应该达到 2.5GMHz，将采样率设置为 2.5GMHz，针对一个 4 通道 ADC 进行仿真并做 FFT 分析，结果如图所示。



图 4-14 四通道 ADC 仿真结果

当采样率为 2.5GHz 时，单通道 ADC 的有效位数达到 7.631bits，信噪失真比达到 47.70dB，无杂散动态范围达到 58.81dBc。尽管四通道 8bits ADC 涉及到多相位时钟的使用和 MUX 位选输出，但仍具有 7.6 以上的有效位数，这反映了 4 通道 ADC 优秀的抗噪声性能和动态范围，为 4*4 通道 ADC 的实现争取了很多

余量。

对照单通道 ADC、4 通道 ADC 和 4*4 通道 ADC 的性能，可以发现单通道和 4 通道 ADC 的性能处于很高的水平，为 4*4 通道 ADC 的实现奠定了基础，也从侧面反映了 4*4 通道 ADC 的性能下降来源于多相位时钟性能与单通道 ADC 转换时间之间的矛盾，这也是我们在后续优化的方向。

表格 4-2 单通道 ADC，4 通道 ADC 仿真结果(TT, 27°C, 1V)

通道数	f_{in}	f_{sample}	$ENoB$	$SINAD$	$SNDR$
1	297.85MHz	625MHz	7.907bits	49.36dB	58.35dBc
4	1.9GHz	2.5GHz	7.631bits	47.70dB	58.81dBc

4.4 功耗仿真结果

ADC 系统可以大致分为 ADC core 和外围电路，在输入不同的情况下，两者的功耗应该分开计算，其中最关键的是 ADC core 的功耗。除此之外，由于我们设计了多相位时钟生成电路，所以在本节中也对其进行功耗仿真，以满足评分需要。

本文中的 ADC 系统包含 16 个规格相同的 ADC core，可以认为整体 ADC core 功耗为单个 ADC core 功耗的 16 倍，在仿真时可以仅选择一个 VDD 端口的电流进行测量，在后续的计算中乘 16 即可，在 TT 工艺角下，单个 ADC core 的电流、多相位时钟的电流如图 4-15 所示。

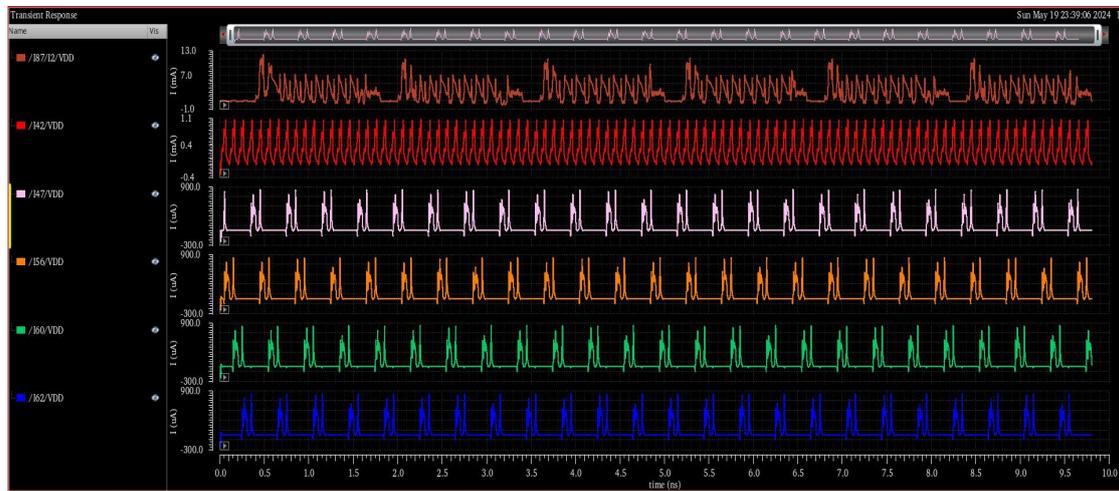


图 4-15 电流变化情况

通过 cadence 自带的计算器，可以计算出两个模块的总平均电流，如图 4-16 所示。

8	average_core_current	49.28m	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	average_phase_current	629.4u	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

图 4-16 平均电流大小（FF 工艺角）

TT 工艺角对应的工作电压为 1V，根据功耗计算公式，可以得到两个模块的功耗分别为 49.28mW，629.4uW。参考以上的步骤，可以得到 TT 工艺角下两者的平均电流，如图 4-17 所示，结合 1.1V 的工作电压，得到两者的功耗分别为 75.383mW，1.3618mW；同理可以得到两者在 SS 工艺角、工作电压 900mV 下的功耗，分别为 42.381mW，425.07uW。

8	average_core_current	68.53m	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	average_phase_current	1.238m	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Plot after simulation: Auto Plotting mode: Replace

图 4-17 平均电流大小（TT 工艺角）

8	average_core_current	47.09m	<input checked="" type="checkbox"/>	<input type="checkbox"/>	
9	average_phase_current	472.3u	<input checked="" type="checkbox"/>	<input type="checkbox"/>	

Plot after simulation: Auto Plotting mode: Replace

图 4-18 平均电流大小（SS 工艺角）

表格 4-3 ADC core 及多相位时钟功耗

(Process,T,VDD)	(FF, 125 °C, 1.1V)	(TT, 27 °C, 1V)	(SS, - 40 °C, 0.9V)
ADC core	75.383mW	49.28mW	42.381mW
多相位时钟	1.3618mW	629.4uW	425.07uW

以上结果显示，ADC core 的功耗不仅满足了赛题的基本要求（200mW 以内），也实现了在各个工艺角下均满足赛题的进阶指标（140mW 以内），具有低功耗的特点。

4.5 输入失调电压仿真结果

作为重要的静态参数，失调输入电压反映了比较器的性能。从比较器输入一个共模电平和一个斜坡信号，再测量在发生翻转时的输入电压之间的差值，进行多次蒙特卡洛的仿真。通过计算器计算发生翻转时输入电压差值，仿真 200 次，根据结果绘制蒙特卡洛仿真结果的直方图，其标准差即为输入失调电压，如图所示，该系统中的比较器的输入失调电压为 9.47mV，略高于题目的要求，但不妨碍系统的输出精度保持在一个良好的范围。

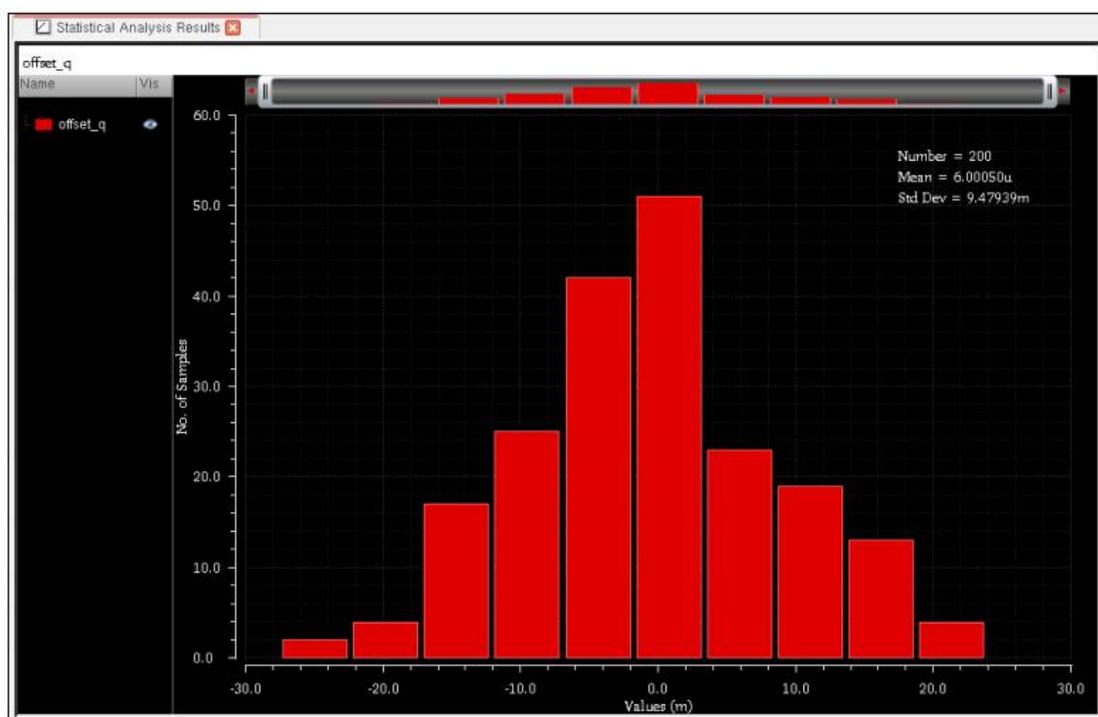


图 4-19 输入失调电压统计结果

5、系统 matlab 建模及仿真结果

本章介绍了对 8bit SAR ADC 的 matlab 系统建模过程以及最后的仿真结果。包含代码的介绍以及仿真结果分析。

SAR ADC 的 matlab 模型共包括三个文件：`adc_sar_diff.m`，`calculate_dynamic_spec.m`，`dynamic_test_diff.m`，分别用于实现 SAR 逻辑，计算动态参数，头文件调用函数。

如图 5-1 所示，`adc_sar_diff.m` 函数首先计算了正负端总电容（包括采样电容

和寄生电容)和正负端采样电荷,并考虑 kT/C 噪声。然后,在 SAR 算法开始执行之前,初始化底板电压为共模电压,并初始化输出为 0。接着,在 SAR 算法循环中不断计算正负端剩余电压,比较正负端电压差与比较器偏置和噪声的和,决定更新底板电压为 0 或 V_{ref} ,并调整输出。最后,计算一次正负端电压,进行最后一位的判决并更新输出。

通过逐次逼近算法(SAR),根据输入电压的大小依次比较并调整输出码字。模型考虑了噪声和非理想性,使其更接近实际情况。

```
function [adout] = adc_sar_diff(Vip, Vin, Vref, Vcm, M, Cm_p, Cm_n, Cd1_p, Cd1_n, Cpl_p, Cpl_n, Comp_os, del_Compvn, del_ktc, Wda) % basic behc
%注意,本函数简化为不分段结构, M就是DAC的分辨率,整个ADC的分辨率应为M+1
Ctm_p = sum(Cm_p)+Cd1_p+Cpl_p;
Ctm_n = sum(Cm_n)+Cd1_n+Cpl_n;
Qi_p = -(sum(Cm_p)+Cd1_p)*(Vip-Vcm+del_ktc*randn(1,1)); %定义输入采样得到的电荷,并考虑kT/C噪声
Qi_n = -(sum(Cm_n)+Cd1_n)*(Vin-Vcm+del_ktc*randn(1,1));
Vdam_p(1:M) = Vcm; % define bottom plate voltages
Vdam_n(1:M) = Vcm;
adout = 0; % output

for i = 1 : M
    Vres_p = Vcm + (Qi_p + (Vdam_p-Vcm)*rot90(Cm_p,3))/Ctm_p;
    Vres_n = Vcm + (Qi_n + (Vdam_n-Vcm)*rot90(Cm_n,3))/Ctm_n;
    if Vres_p-Vres_n > Comp_os+del_Compvn*randn(1,1)
        Vdam_p(i) = 0; Vdam_n(i) = Vref;
    else
        Vdam_p(i) = Vref; Vdam_n(i) = 0;
        adout = adout + Wda(i)*2;
    end
end
Vres_p = Vcm + (Qi_p + (Vdam_p-Vcm)*rot90(Cm_p,3))/Ctm_p;
Vres_n = Vcm + (Qi_n + (Vdam_n-Vcm)*rot90(Cm_n,3))/Ctm_n;
if Vres_p-Vres_n < Comp_os+del_Compvn*randn(1,1) adout = adout + 1; end
```

图 5-1 adc_sar_diff.m 代码

如图 5-2 和图 5-3 所示, calculate_dynamic_spec.m 函数首先对输出进行了预处理,去除了直流分量。然后,利用 FFT 计算频域信号的功率谱,取其前半部分并做归一化。接着,依次查找信号峰值、主瓣宽度、谐波位置和功率。最后计算总谐波失真功率、噪声功率、相关的动态性能指标。

通过这个函数即可得到 ADC 的动态性能指标,便于后续的作图。

```
function [pow, SNR, SNDR, ENOB, SFDR, THD, HD] = calculate_dynamic_spec(u)
d_len = length(u);
u = u-mean(u); % 去直流分量
%u = u.*rot90(kaiser(d_len,18)); % 加窗处理,抑制频谱泄漏效应
pow = fft(u).*conj(fft(u)); %用fft求功率谱
d_len2 = floor(d_len/2);
pow = pow(1:d_len2); %因功率谱对称,故截取其1/2
pow = pow/max(pow); %功率谱归一化,最大功率谱线为1

% find the signal bin number
fin = find(pow(1:d_len2)==1); %fin为最大谱线位置,即输入信号频率
% set the main lobe width of the input signal
widm = 0; %设置信号的主瓣宽度,主瓣的宽度=2*widm+1,通常令widm=5,对于整数个周期采样,令widm=0即可
widmh = 0; %设置用于寻找谐波位置的范围,通常令widmh=2,对于整数周期采样,另widmh=0即可
%pow(fin-widm-40:fin-widm-1)=0; pow(fin+widm+1:fin+widm+40)=0;
%*****求直流失调功率*****
Pdc = sum(pow(1:widm));
%*****求信号总功率*****
Ps = sum(pow(fin-widm:fin+widm));
% 定义谐波位置和大小数组变量
Fh = []; Ph=[]; %Fh存放谐波位置,Ph存放谐波功率
```

图 5-2 calculate_dynamic_spec.m 代码 (1)

```

%*****寻找谐波位置及其幅值*****
hd_num = 9;
for har_num=1:hd_num
    tone=rem((har_num*(fin-1)+1), d_len); %对于整数个周期的数据
    if tone>d_len/2 tone=d_len-tone+2; end %对于整数个周期的数据
    Ph = [Ph tone]; %Ph = [Ph tone/d_len];
    if tone == 0 tone=1; end % ??? 对于整数个周期的数据
    har_peak = max(pow(tone-widmh:tone+widmh));
    har_bin = find(pow(tone-widmh:tone+widmh)==har_peak);
    har_bin = har_bin+tone-widmh-1;
    Ph = [Ph max(pow(har_bin-widmh:har_bin+widmh))]; %对于整数个周期的数据
    %Ph = [Ph sum(pow(har_bin-widmh:har_bin+widmh))];
end
%*****求总谐波失真功率*****
Pd = sum(Ph(2:hd_num));
%*****求噪声功率*****
Pn = sum(pow)-Pd-Ps-Pd;
%*****求ADC动态指标*****
SNDR = 10*log10(Ps/(sum(pow)-Ps-Pdc)); %求SNDR
SNR = 10*log10(Ps/Pn);
THD = 10*log10(Pd/Ph(1));
har_bin = find(pow(1:end)==1);
%pow(fin-widm-40:fin-widm-1)=0; pow(fin+widm+1:fin+widm+40)=0;
SFDR = 10*log10(1/max(max(pow(widmh+1:har_bin-widm-1)),max(pow(har_bin+widm+1:end)))));
HD = 10*log10(Ph(1:hd_num)/Ph(1));
ENOB = (SNDR-1.76)/6.02;

```

图 5-3 calculate_dynamic_spec.m 代码 (2)

如图 5-4 所示, dynamic_test_diff.m 作为头函数, 包含非理想因素的 SAR ADC 的结构和参数。首先, 函数定义了 CDAC 结构及其非理想性, 然后定义电容值并考虑随机变化, 接着定义了输入信号并循环调用 SAR 算法函数, 最后利用得到的结果进行动态参数计算。

```

clear all;
Vref = 1; Vcm = Vref/2; % Reference voltages
N=8; % the resolution of ADC
%M = 9; Wda = [256, 128, 64, 32, 16, 8, 4, 2, 1]; % CDAC structure Without redundancy
M = 7; Wda = [64, 32, 16, 8, 4, 2, 1]; % CDAC structure With redundancy

Cu = 2e-15; del_Cu = 0.05/sqrt(2)*Cu; % Unit cap and its distribution
alfa = 0.1; beta = 0.01; % bottom & top plate parasitic factor
del_Comp_os = 0*2e-3; del_Compvn = 200e-6; % rms value for comp's offset & noise
del_ktc = 100e-6; % defining the rms value of sampling noise
for i=1:M % Defining the cap value of CDAC, including random variation
    Cm_p(i) = Wda(i)*Cu + sqrt(Wda(i))*del_Cu*randn(1, 1);
    Cm_n(i) = Wda(i)*Cu + sqrt(Wda(i))*del_Cu*randn(1, 1);
end;
Cd1_p = Cu + del_Cu*randn(1, 1); Cd1_n = Cu + del_Cu*randn(1, 1);
Cp1_p = beta*(sum(Cm_p)+Cd1_p); Cp1_n = beta*(sum(Cm_n)+Cd1_n); %parasitics
Comp_os = del_Comp_os*randn(1, 1); % the offset of comp
%Cm_n(3) = Cm_n(3)*0.99; % setting caps' value manually
%*****for adc conversion*****
d_len = 2^8; dout(d_len) = 0; % defining a data array to save ADC output. 将10改成8
delta_ph = 311/d_len*2*pi; % input's delta phase for a Tclk
for i = 1:d_len
    Vip = 0.49*Vref*sin(i*delta_ph)+Vcm; % defining input signal
    Vin = -0.49*Vref*sin(i*delta_ph)+Vcm;
    dout(i) = floor((adc_sar_diff(Vip, Vin, Vref, Vcm, M, Cm_p, Cm_n, Cd1_p, Cd1_n, Cp1_p, Cp1_n, Comp_os, del_Compvn, del_ktc, Wda)));
    % A/D Conversion
end
% plot(dout); grid; % plot the output waveform

dout = dout - mean(dout); % removing DC part
[pow, SNR, SNDR, ENOB, SFDR, THD, HD] = calculate_dynamic_spec(dout);

```

图 5-4 dynamic_test_diff.m 代码

运行 matlab 代码, 得到频谱图如图 5-5 所示。在归一化频率约 0.2 处有一个显著的尖峰, 这是输入信号的主要频率成分 (基频峰值), ADC 成功捕捉到了输入信号的频率信息。对于噪声底, 在其他频率处, 功率谱密度较低且相对平坦, 表明噪声水平较低, 噪声底约在 -80 dB 左右, 显示出系统的低噪声特性。此外, 可以看到没有明显的谐波峰值或杂散分量, 系统的谐波失真和杂散干扰都很小。这与 THD 和 HD 的结果相符, 表明系统在各个谐波频率上的失真都非常低。

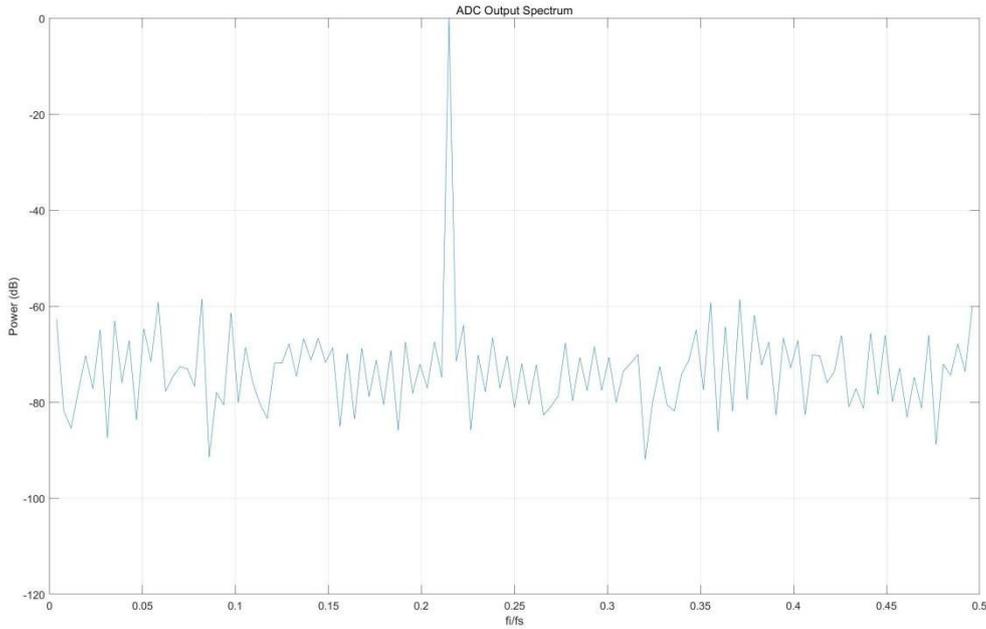


图 5-5 matlab 频谱图仿真结果

动态参数的计算结果如图 5-6 所示。信噪比为 48.2214 dB，信噪失真比为 47.5768 dB，表示信号功率比噪声功率高约 66 倍，信号功率比总噪声和失真功率高约 59 倍，说明系统整体性能良好，但受到了噪声和失真的影响。

杂散自由动态范围为 58.4600 dB，表示信号功率比最大的非基频杂散分量高约 707 倍。这表明系统在面对外界干扰时有较强的抗干扰能力，但仍有一定的杂散干扰。总谐波失真为 -56.1798 dB，表示谐波失真功率比基频信号功率低约 4096 倍。这说明系统在处理信号时，谐波失真较小。谐波失真数组中，第一个值为 0，第二个值为 -80.90 dB，表明谐波失真非常低，这与频谱图上的结果相对应，进一步验证了系统的低失真特性。

ENOB	7.6108
HD	[0,-80.90...
i	256
M	7
N	8
pow	1x128 d...
SFDR	58.4600
SNDR	47.5768
SNR	48.2214
THD	-56.1798
Vcm	0.5000
Vin	0.5000
Vip	0.5000
Vref	1

图 5-6 matlab 动态参数仿真结果

6、总结与展望

6.1 作品总结

本小组设计的 Ti SAR ADC 使用的是台积电 40nm 工艺库。对于我们目前的工作，已经通过使用 625MHz 的单通道 SAR ADC 进行 4*4 的时间交织，实现了 10GSPS 的 Ti SAR ADC。目前已经对该 Ti ADC 进行了 3 种极端情况下的测试，分别是：T=125°C、Process=FF、VDD=1.1V；T=-40°C、Process=SS、VDD=0.9V；T=27°C、Process=TT、VDD=1.0V。目前而言，该 ADC 在 ff 工艺角下工作的最好，信噪失真比为：34.01dB，无杂散动态范围是 40.07dBc。在 tt 工艺角的工作情况与 ff 工艺角的工作情况大致一样。但是，在 ss 工艺角下的工作状态下不够理想，而这主要与我们的 625MHz 的单通道 ADC 设计有关。

对于我们的 625MHz 单通道 ADC，由于其采样周期为 1.6ns。经过我们的不断测试与改进，最终确定在 tt 工艺角下，ADC 完成 8 次数字码转换的需要的的时间大约在 1.1ns，对于该单通道 ADC，使用 1/4 的周期进行跟随采样，使用 3/4 的周期进行转换，即每个子 ADC 的工作周期（1.6ns）内，1.2ns 进行转换。这样的设计有效地提高了子 ADC 的采样率，成功地将 1bit/cycle 的单通道 ADC 的采样率提高到 625MHz，并且在输入信号频率接近奈奎斯特频率时，有效位数大于 7.9bit。

但是，由于在设计的过程中，主要以 tt 工艺角下的电路的工作状态为基准进行改进与调试，在最终完成 4*4 的时间交织后，进行测试时发现电路在 ss 工艺角下无法良好地工作。其原因在于，ss 工艺角下，ADC 完成 8 次数字码转换的需要的的时间超过了 1.2ns。我们曾尝试通过减少转换阶段关键路径的延时，使 ss 工艺角下，Ti ADC 能进行 10GSPS 的采样，但是转换的动态指标不够理想，并且会对 tt 和 ff 工艺角下电路的表现产生负面影响，故最后选择使 ss 工艺角下 Ti ADC 的主时钟的时钟周期为 125ps，实现了 8GHz 的采样率，并且信噪失真比达到了题目的要求。此处需要强调的是，我们的 Ti ADC 可以在 tt 和 ff 工艺角下以 10GHz 的采样率工作，并且达到题目的指标要求。并且我们的 ADC 的功耗非常优秀，满足赛题的进阶指标（140mW 以内）。

对于本小组 4*4 的 Ti ADC 结构，我们设计了单通道输入，8 通道输出的多

相位生成时钟。该多相位时钟的优势是对输入的时钟实现了 4 分频，并且产生了 4 个不同相位的时钟输出，以及 4 个对应的非逻辑输出，完美地契合时间交织的需求。除此之外，该多相位生成时钟能够适应多种应用场景，通过改变初始时的置位，可以调整输出时钟的占空比。考虑到我们单通道 ADC 需要 3/4 占空比的时钟和后续 MUX 选通的控制，我们在第一级生成了 4 个 3/4 占空比的时钟和 4 个 1/4 占空比的时钟。对于第二级时钟的生成，我们将这 4 给不同相位的时钟输入作为输入分别接入 4 个多相位生成时钟，从而再次进行 4 分频，最终在第二级得到了 16*2 个时钟。下图为我们利用该多相位时钟生成内部时钟的架构。

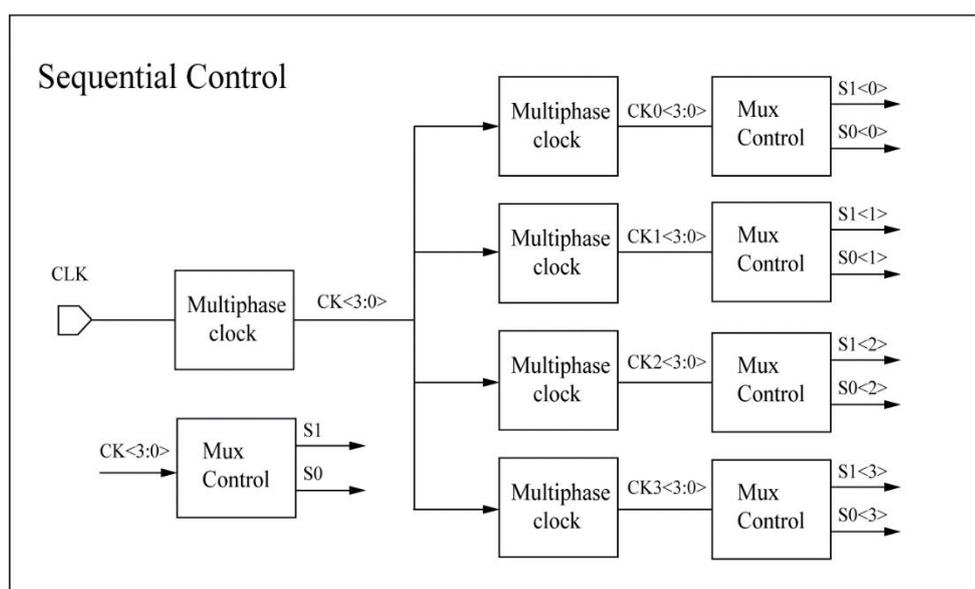


图 6-1 内部时钟结构^[9]

一般而言，对于时间交织 ADC，采样时钟失调会造成引起周期性的噪声，在频谱上表现为高频噪声。因此，在设计上就需要尽量避免时钟的失调。对于本电路，在单个多相位生成时钟中，不同输出的结构完全对称，故在设计上不会引起各时钟输出通道间的偏移，并且在后续的第二级分频的设计上，电路结构也完全对称，在设计上尽量避免了采样时钟失调。

6.2 后续工作

我们后续的工作首先目标是优化我们的单通道 ADC 的架构，使其能在 ss 的工艺角下以更高的采样率工作。对此，我们的解决方案是使用 2bit/cycle 的单通道 ADC 架构。这是因为 625MHz 的采样率几乎已经达到了 1bit/cycle 的 SAR ADC

的极限。而使用 2bit/cycle 的结构，除了能够将 ss 工艺角下 Ti ADC 的采样率从 8GHz 提升到 10GHz，并且有望进一步将单通道 ADC 的采样率进一步提升至 625M 以上，从而在 4*4 的架构不改变的情况下，进一步将 Ti ADC 整体的采样率至 10GHz 以上。

目前对于 2bit/cycle 的单通道 SAR ADC 的初步设计构想是参考张茂林^[1]的设计，通过在原单通道 ADC 中增加一个参考电压生成器，并且使用 3 个比较器，通过在一个采样周期内进行 3 次比较，得到 2bit，故完成 8bit 的转换只需要 4 次转换。这样的设计可以有效的提高采样率，并且放宽了对转换阶段关键路径的延时的要求。相信如此的设计可以有效地将单通道 ADC 的采样率提升至接近 1GHz，在完成时间交织后，Ti ADC 的整体采样率甚至可以达到 16GHz 左右。

除了采样率以外，我们下一步的目标是进一步提升 Ti ADC 的有效位数。在设计的不同阶段，我们对电路都进行了动态参数的测试，并且都是在接近奈奎斯特频率时进行测试。其中，对于 625M 单通道 ADC，在输入信号频率接近其奈奎斯特频率（ $625 \times 61 / 128 \text{MHz}$ ）的情况下，其有效位数在 7.9bit 以上。对于 4 个子 ADC 构成的 2.5GHz 时间交织 ADC，在输入信号频率接近其奈奎斯特频率（ $2.5 \times 61 / 128 \text{GHz}$ ）的情况下，其有效位数在 7.6bit 以上。由此也可以证明，我们单通道 ADC 性能良好，并且不同通道之间的失调对最终的频谱影响很小。但是，对于最终的 10GHz Ti ADC，在输入信号频率 4-5GHz 时，有效位数降低至 6bit 以下。对此，我们进行了反复测试与分析，最终确定这是由我们的 Ti ADC 带宽限制造成的。我们的 Ti ADC 在输入信号频率为 2.5GHz 时，有效位数大于 6bit，这也证实，在输入信号处于较高的频段时，我们的 Ti ADC 的信噪失真比会随着频率的上升的下降。对此，我们的分析是，由于输入信号的频率过高，传入单通道 ADC 时，在采样阶段跟随输入信号较为困难。实际上，我们也对此进行了优化，我们根据 L. Kull 的文章^[6]设计了 T/H 电路，对于我们的 4*4 Ti ADC，进行两级的采样。在第二级，一个 T/H 电路将采样保持的子 ADC 进行采样，可以很好地解决子 ADC 采样阶段难以跟随高频输入信号的问题，能够极大的提升 Ti ADC 的带宽。但是，由于时间的限制，我们暂时还没有解决使用该模块后的电路遇到的问题，例如采样阶段 T/H 电路的输出难以保持 V_{cm} 、经过 T/H 电路后的信号直流量过高，该部分还需要继续优化完善，因此本次提交作品中并不包

舍这部分电路。这也是我们后续工作的重心。

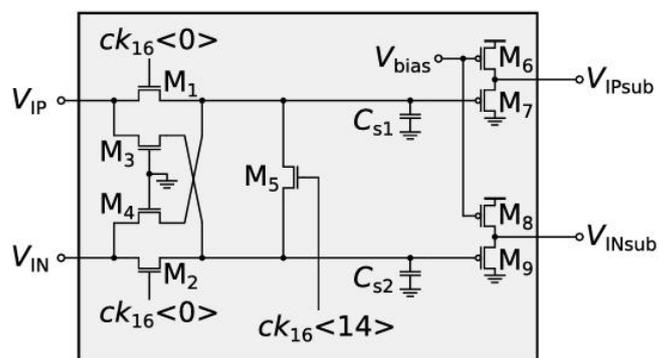


图 6-2 采样保持电路

参考文献

- [1]张茂林. 8 位 1GSPS SAR ADC 的研究与设计[D].电子科技大学,2018.
- [2]薛建锋. 基于 802.11n WLAN 应用的低功耗逐次逼近式模数转换器设计[D].上海交通大学,2020.DOI:10.27307/d.cnki.gsjtu.2019.002554.
- [3]M. Gu, Y. Tao, X. He, Y. Zhong, L. Jie and N. Sun, "A 3.7mW 11b 1GS/s Time-Interleaved SAR ADC with Robust One-Stage Correlation-Based Background Timing-Skew Calibration," ESSCIRC 2023- IEEE 49th European Solid State Circuits Conference (ESSCIRC), Lisbon, Portugal, 2023, pp. 145-148, doi: 10.1109/ESSCIRC59616.2023.10268795.自举开关
- [4]于海洋. 高速低功耗时间交织 SAR ADC 的研究与设计[D].电子科技大学,2023.DOI:10.27005/d.cnki.gdzku.2023.005196.
- [5]李睿. 高速高精度时间交织型 ADC 校准技术研究[D].电子科技大学,2023.DOI:10.27005/d.cnki.gdzku.2022.003159.
- [6]L. Kull et al., "A 24–72-GS/s 8-b Time-Interleaved SAR ADC With 2.0–3.3-pJ/Conversion and >30 dB SNDR at Nyquist in 14-nm CMOS FinFET," in IEEE Journal of Solid-State Circuits, vol. 53, no. 12, pp. 3508-3516, Dec. 2018, doi: 10.1109/JSSC.2018.2859757.
- [7]M. Zhang, Y. Zhu, C. -H. Chan and R. P. Martins, "An 8-Bit 10-GS/s $16\times$ Interpolation-Based Time-Domain ADC With <1.5-ps Uncalibrated Quantization Steps," in IEEE Journal of Solid-State Circuits, vol. 55, no. 12, pp. 3225-3235, Dec. 2020, doi: 10.1109/JSSC.2020.3012776.
- [8]Y. Zhou, B. Xu and Y. Chiu, "A 12-b 1-GS/s 31.5-mW Time-Interleaved SAR ADC With Analog HPF-Assisted Skew Calibration and Randomly Sampling Reference ADC," in IEEE Journal of Solid-State Circuits, vol. 54, no. 8, pp. 2207-2218, Aug. 2019, doi: 10.1109/JSSC.2019.2915583.
- [9]A. K. Tripathi, S. Khalapure and R. Zele, "8-bit 2-GS/s 20.5 mW Flash Assisted Time Interleaving SAR ADC for Direct Sampling RF Receivers," 2021 IEEE 18th India Council International Conference (INDICON), Guwahati, India, 2021, pp. 1-6, doi: 10.1109/INDICON52576.2021.9691533.
- [10]Q. Fan and J. Chen, "A 2.4 GS/s 10-Bit Time-Interleaved SAR ADC with a

Bypass Window and Opportunistic Offset Calibration," ESSCIRC 2019 - IEEE 45th European Solid State Circuits Conference (ESSCIRC), Cracow, Poland, 2019, pp. 301-304, doi: 10.1109/ESSCIRC.2019.8902620.

[11]E. Checca and S. P. Voinigescu, "A 39GHz Bandwidth, 2.5GS/s 7-bit SAR ADC in 22nm FDSOI CMOS," 2021 IEEE MTT-S International Microwave Symposium (IMS), Atlanta, GA, USA, 2021, pp. 760-763, doi: 10.1109/IMS19712.2021.9575004.

[12]S. Lee, A. P. Chandrakasan and H. -S. Lee, "A 1 GS/s 10b 18.9 mW Time-Interleaved SAR ADC With Background Timing Skew Calibration," in IEEE Journal of Solid-State Circuits, vol. 49, no. 12, pp. 2846-2856, Dec. 2014, doi: 10.1109/JSSC.2014.2362851.