



本科生毕业论文（设计）

题目：高精度 SAR ADC 设计与数字校准

姓名 吴林晓

学号 21312379

院系 集成电路学院

专业 微电子科学与工程

指导教师 幸新鹏 副教授

2025 年 5 月 14 日

高精度 SAR ADC 设计与数字校准

High Precision SAR ADC with Digital Calibration

姓 名 吴林晓

学 号 21312379

院 系 集成电路学院

专 业 微电子科学与工程

指导教师 幸新鹏 副教授

2025 年 5 月 14 日

学术诚信声明

本人郑重声明：所呈交的毕业论文（设计），是本人在导师的指导下，独立进行研究工作所取得的成果。除文中已经注明引用的内容外，本论文（设计）不包含任何其他个人或集体已经发表或撰写过的作品成果。对本论文（设计）的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本论文（设计）的知识产权归属于培养单位。本人完全意识到本声明的法律结果由本人承担。

作者签名：

日 期： 年 月 日

摘要

近年来,随着集成电路产业的迅速发展,模数转换器(Analog-Digital Converter)的性能需求不断提高,高精度、高速、低功耗的需求日益增加。逐次逼近型 ADC 由于结构简单、低功耗的特点,被广泛运用于中低精度的场景中。但在高精度的场景中,由于 SAR ADC 通常使用电容阵列构成数模转换器(DAC, Digital- Analog Converter)模块,电容失配导致的系统非线性误差难以避免。因此,在高精度 SAR ADC 上部署电容失配的校准模块至关重要。本文研究了当下常见的电容失配数字校准算法,并最终在基于 $0.18\mu\text{m}$ 的 16 位 SAR ADC 上部署了基于扰动注入的 LMS 数字前台校准算法进行验证。

论文首先对低位电容校准高位的数字前台校准算法和基于抖动(扰动)注入的数字前台与后台校准算法搭建行为级建模,在 MATLAB 中对包含电容失配等非理想因素的 16 位的 SAR ADC 进行校准,比较各校准算法在不同比较器噪声下的校准效果,补充了不同校准算法间横向比较方面研究的空缺。为了更真实地反映实际的校准效果和观察硬件上的开销,将两种校准模块部署在 FPGA 上进行测试,最终发现基于扰动注入的校准算法在校准效果上具有显著的优势,但是硬件开销更大。

论文在 $0.18\mu\text{m}$ 工艺的 16 位 SAR ADC 上验证了基于扰动注入的校准算法,对扰动注入和校准控制的各电路模块进行了设计与仿真。最终人为向 CDAC 引入 3% 的电容失配,通过校准算法,可以使得 SAR ADC 的 ENOB 从 9.97bits 提升至 15.67bits。

关键词: 模数转换器, 逐次逼近, 数字校准算法, 最小均方算法

ABSTRACT

In recent years, with the rapid development of the integrated circuit industry, the performance requirements for Analog-to-Digital Converters (ADC) have been continuously increasing, demands for high precision, high speed, and low power consumption are continuously growing. The Successive Approximation Register (SAR) ADC is widely used in medium-to-low precision applications because of its simple structure and low power consumption. However, in high-precision scenarios, since SAR ADCs typically adopt capacitor arrays to form the Digital-to-Analog Converter (DAC) module, nonlinear errors caused by capacitor mismatch are impossible to avoid. Therefore, deploying a capacitor mismatch calibration strategy in high-precision SAR ADC is necessary. This paper deploys a capacitor mismatch calibration algorithm on a 16-bit SAR ADC based on TSMC 0.18 μ m process to verify the calibration effect.

This paper investigates three common digital calibration algorithms for capacitor mismatch, including: a foreground digital calibration algorithm that uses lower bits to calibrate higher-bits, the foreground and background calibration algorithms based on dither injection. This study calibrates a 16-bit SAR ADC in MATLAB, incorporating non-ideal factors such as capacitor mismatch, and compares the effectiveness of these calibration algorithms under different levels of comparator noise, filling a research gap in this area. To more realistically evaluate the calibration performance and assess the hardware overhead of calibration module, two calibration modules are implemented and tested on an FPGA. The results demonstrate that the dither injection-based calibration algorithm exhibits significant advantages in calibration effectiveness, although the hardware overhead is substantial.

After completing the design and simulation of various circuit modules for dither injection and calibration control, the paper validates a dither injection-based calibration algorithm on a 16-bit SAR ADC based on 0.18 μ m process. After intentionally introducing a 3% capacitor mismatch into the CDAC, the calibration algorithm improves the SAR ADC's ENOB from 9.97 bits to 15.67 bits.

Keywords: Analog-to-digital converter, Successive Approximation Register, digital calibration, least mean square calibration algorithm

目录

1	绪论	1
1.1	课题背景	1
1.2	国内外研究现状	2
1.3	本文的主要贡献	6
1.4	论文结构安排	7
2	ADC 概述	8
2.1	ADC 基本模块	8
2.2	ADC 常见结构	8
2.2.1	FLASH ADC	8
2.2.2	SAR ADC 结构	9
2.2.3	Pipeline ADC	10
2.3	ADC 的性能指标	11
2.3.1	静态参数	11
2.3.2	动态参数	12
2.4	本章小结	13
3	高精度 SAR ADC 的 CDAC 设计与校准技术	14
3.1	低功耗 CDAC 切换策略	14
3.1.1	传统 CDAC 切换策略	15
3.1.2	Vcm_based 切换策略	15
3.2	分段式电容阵列工作原理	17
3.3	电容权重数字校准算法	18
3.3.1	低位电容校准高位电容	19
3.3.2	基于拆分式 ADC 结构的 LMS 校准算法原理	20
3.3.3	基于扰动注入的数字校准算法原理	25
3.4	数字校准算法行为级建模	27
3.4.1	基于扰动注入的数字前台校准	27
3.4.2	基于扰动注入的数字后台校准	30

3.4.3	基于低位电容权重的数字校准	31
3.4.4	三种数字校准模块的校准效果比较	33
3.5	本章小结	34
4	16 位 SAR ADC 的校准设计与仿真结果	35
4.1	数字校准的 FPGA 硬件实现与测试	35
4.1.1	基于扰动注入的数字前台校准的 FPGA 部署	36
4.1.2	低位校准高位的前台校准算法的 FPGA 硬件实现	39
4.1.3	FPGA 校准效果对比	41
4.2	基于扰动注入的 16 位 SAR ADC 的整体电路设计	44
4.3	CDAC 设计与校准电路设计	46
4.4	模拟扰动注入对校准效果的影响	48
4.4.1	扰动注入大小	48
4.4.2	扰动注入的随机性	49
4.5	前台与后台校准模式切换	51
4.6	16 位 SAR ADC 整体仿真	52
4.7	本章小结	54
5	结论	55
5.1	论文总结	55
5.2	后续展望	56
	参考文献	57
	致谢	59

1 绪论

1.1 课题背景

数模转换器(Analog-Digital Converter, ADC)是模拟系统和数字系统之间的交互桥梁,通过一系列操作将各种模拟信号转换为数字信号,在各领域均有广泛的应用。近年来,随着 CMOS 工艺的不断进步和通信领域的迅速发展,低功耗、高速、高精度的 ADC 成为了当今的研究热点。针对于不同的应用场景,各式各样的 ADC 架构被提出。

按照采样频率划分,ADC 架构可以划分为奈奎斯特采样 ADC 和过采样 ADC。其中,奈奎斯特采样 ADC 指采样频率大于两倍输入信号频率的 ADC(依据奈奎斯特采样定律),包含逐次逼近型 ADC(Successive Approximation Register, SAR ADC),流水线 ADC(Pipeline ADC)。而过采样 ADC 则是指通过过采样原理,对输入信号多次采样,以牺牲带宽为代价提高精度的 ADC,包含 delta-sigma ADC。除此之外,目前也发展出混合架构的 ADC,如噪声整形(noise shaping)SAR ADC, pipeline SAR ADC 等等。另外,也可以根据具体的性能指标把 ADC 细分,如以积分型 ADC 为代表的中低速 ADC 和以时间交织 ADC 为代表的高速 ADC。

Flash ADC 是典型的高速 ADC,通常具备高速、低转换位数的特点。由于其具有可以在单周期内完成全部位转换的特点,其速度在所有 ADC 架构中是最快的,在不使用时间交织技术(time-interleaved)的条件下也可达 10GSps 以上。其通常使用分压电阻网络的形式提供参考电压,其面积和功耗会随着分辨率的提升而指数型增长,且在 CMOS 工艺中匹配性较低,故其可达到的分辨率较低。故 Flash ADC 常用于高速、低功耗的场景下,如雷达、通信等。需要提到的是,在高精度 ADC 中会使用 Flash ADC 作为 Coarse ADC 辅助主 ADC,以提高转换速度或辅助校准。

Pipeline ADC 通过多级低精度较低速的 ADC 并行工作,实现采样速度和分辨率的平衡,体现了流水线并行工作的思想。由于其多级并行工作的结构,需要高增益、高精度的级间运算放大器,同时在高精度的场景下,对级间增益误差要求很高,故一般需要引入相对应的校准电路。除此之外,由于其流水线结构,一般会由输入与输出的延时问题,不适用于一些工业控制环路中的应用。

delta-sigma ADC 是一种过采样 ADC,通过过采样技术,将量化噪声和其他噪

声整形到高频部分,再进行数字抽取滤波器,提取低频的数字信号,以实现超过其量化器的精度。其特点为以远高于奈奎斯特 ADC 采样速度,换取较高的有效位数(可达 20bits 以上)。

传统的 SAR ADC 基于二进制搜索算法,通过多个时钟周期逐次逼近采样信号以得到数字码输出,一般使用电容型数模转换器(Capacitive Digital-Analog Converter, CDAC)实现逐次逼近。SAR ADC 具有结构简单、功耗低的特点,通常运用在中低速和中高精度的场景中,在 12bits 以下的应用中有较好的性能。随着对 SAR ADC 的研究,引入了噪声整形技术、时间交织技术和 pipeline SAR 架构,SAR ADC 也应用于高速、高精度的场景。

SAR ADC 具有结构简单、低功耗的特点,被广泛应用于小面积、低能耗的场景。近年,随着许多提高精度的技术被提出,SAR ADC 也可应用于高精度的场景,但通常需要引入相关的校准技术。在精度要求较高的情况下,SAR ADC 的电容阵列的失配带来的非线性误差成为制约其有效位数的主要因素。具体而言,CDAC 中电容阵列中位电容的失配和寄生电容改变了电容的实际权重,使其偏离了设计权重。并且由于高精度 SAR ADC 位数高,其电容阵列通常使用分段式电容结构,以降低总电容,此时桥接电容的失配会导致低段电容权重误差。因此,为了提高 SAR ADC 的有效位数,保证系统的线性度,通常使用校准算法对电容阵列的权重进行校准,以得到电容的实际权重。校准算法可以分为模拟校准和数字校准,模拟校准通常需要引入额外的 DAC 对电容权重进行校准,而数字校准则主要对 ADC 的输出数字码进行算法处理,通常具有更小的模拟电路开销。此外,按照是否在 ADC 工作的期间同步进行校准,可以分为前台校准(ADC 工作前完成校准)和后台校准(ADC 工作的同时进行校准)。本文的主要研究方向是针对于高精度 SAR ADC 电容失配的数字校准算法。

1.2 国内外研究现状

近年来,高精度的 SAR ADC 有效位数从 12bits 至 24bits,同时也有较好的能耗优势。在工业界,Ti、ADI、Maxim 等公司的产品代表了行业的领先水平。如 ADI 的 AD4030-24,为使用了过采样的 SAR ADC,采样率为 2MSps,精度达到了 24bits,SNR 为 108.4dB,且功耗仅为 30mW。TI 的 ADS8681 采样率为 1MSps,精度为

16bit, SNR 为 90.5dB, 功耗为 42mW。Maxim 的 MAX11905, 采样率 1.6MSps, 精度为 20bits, 整体功耗仅为 9mW。

在学术界, 也有很多对于高精度低功耗 SAR ADC 的研究, 并且针对于电容失配提出了相应的校准算法。1984 年, 美国加州大学的 H. S. Lee 和 D. Hodges 等人提出了针对电容失配的首批校准方法: 自校准技术^[1]。在 DAC 模块中, 除了正常量化使用的主 DAC 外还引入了一个校准 DAC 模块。当系统工作在校准状态时, 根据设计的校准算法通过数字逻辑控制电容开关, 测量电容的失配造成的误差电压, 并利用校准 ADC 模块将误差信息转换为数字码存储在寄存器中, 由此完成校准。在后续的正常转换阶段中, 在量化的过程中读取寄存器中存储的误差信息并在数字域进行码字叠加。由于需要引入额外的校准 ADC, 校准的模拟开销较大。

近年来, 有一条使用最小均方误差(Least Mean Square, LMS)算法进行校准的技术路线。其原理为用 ADC 对相同的输入信号进行两次转换, 将两次转换结果相减得到差值数据, 通过 M 次的转换得到 M 个差值数据, 构建矩阵并求解权重误差矩阵。通过求解权重误差矩阵即可得到权重误差信息, 从而在数字域进行补偿。对于权重误差矩阵, 最直接的求解方法就是通过矩阵相乘的方式得到权重误差矩阵, 但直接求解矩阵的数字开销过大, 故使用 LMS 算法对真实权重进行拟合。目前, 常见的数字校准方式包含基于分裂式 ADC(Split ADC)的 LMS 校准算法和基于模拟扰动注入的 LMS 校准算法。

2005 年 John McNeil 等提出一种 Split ADC 结构^[2], 并提出了针对该结构的数字后台校正算法, 主要思路是在一个周期内利用两个子 ADC 对同一个信号进行量化, 对两个 ADC 的输出求差值后通过一个 LMS 算法回路持续校正, 直到误差为 0, 最后对两个 ADC 的输出求平均, 再通过正则化得到最终结果。在 0.25um 工艺下, 运用校正算法的 16bits 1MS/S 的 ADC 达到 89dB 的 SNR, 功耗达到 105mW。但到 2011 年, 他们团队才将该技术应用于 SAR ADC^[3], 实现了 16 位 1Msps 的 SAR ADC, 整体功耗为 76.6mW。需要注意的是, 虽然电路结构包含两个子 ADC, 但每个子 ADC 的 CDAC 面积分别为单个 ADC 情况下的一半, 只增加了数字逻辑部分的面积和功耗。

由于 LMS 算法的原理实际是根据构建非奇异性矩阵进行求解, 这里对于传统的 Split ADC 校正方式而言, 由于对同一个输入信号用两个子 ADC 量化的方式,

因此两个输出往往相差不是很大,矩阵迭代的算法收敛性就不是特别好。并且当两个子 ADC 的电容失配相同时,两个输出的差值将始终为零,此时原始矩阵为奇异矩阵,无法求得 ADC 实际权重,对 LMS 算法则表现为校正停止,但实际上两个 ADC 的权重均未被校正,通常的做法是在 Split ADC 中引入伪随机逻辑改变 CDAC 的工作状态。

2010 年 W. Liu 等人提出了一种基于扰动的后台数字校正算法^[4],完成一次采样后,对相同的采样分别附加 $+\Delta$ 和 $-\Delta$ 的偏移干扰,并使用两个周期分别进行两次转换,得到两组不同的码值,再利用 LMS 算法对权重进行迭代,直到两组不同的码值对应的模拟值的差值为 2Δ ,则视为权重完成校准。使用该校准方法的 12bits 45MS/s SAR ADC 最高达到了 71.1dB 的 SNDR,而功耗为 3mW。2017 年,西安电子科技大学朱樟明组,实现了基于双注入的欠二进制高精度逐次逼近 ADC,在 0.18 μm CMOS 工艺下实现了有效位数 14.46 bits 1MS/s 的 SAR ADC。

2018 年,美国 ADI 公司的 H. Li^[5]等人在 LMS 算法校准上进一步优化,改用许多的电容簇(Cluster)替代一个巨大的电容阵列,每个电容簇使用 shuffling 模块以实现校准矩阵的非奇异性,并用 Swap 信号横跨不同的电容簇,控制部分相同大小的电容,在第一次转换时通过伪随机使得 Swap 信号置 1 或-1,在第二次转换时给相反的信号,从而实现扰动注入。ADC 在 0.18 μm /0.5 μm 的 CMOS 工艺下实现,使用 1.8V 和 5V 的电压,总面积为 4 mm^2 ,实现了 1MSps, 20bits 的 SAR ADC, SNDR 为 101.5dB, ADC 功耗为 12.9mW,校准电路的功耗为 6.8mW。

2023 年,清华大学的 Jingpeng Zhou 等人在此基础上更进一步^[6],在架构上使用了 Split ADC 结构,每个子 ADC 都为 18bits 的 pipeline-SAR ADC,通过使用 shuffling 模块添加了 6 位数字码的随机扰动,以提高 LMS 算法的收敛性。MATLAB 的行为级模型仿真显示有效位数达到了 16.5-bit, SDNR 达到 100.9dB, SFDR.达到 119.6 dB。对于 LMS 算法的收敛速度,该结构在约 250000 个样本点时完成收敛。

同在 2023 年, Lei Qiu 组的 Zihao Du 等人使用与上文提到的 H. Li 团队类似的结构,用 Swap 信号横跨不同的电容簇控制相同部分大小的电容,在第一次转换时通过伪随机使得 Swap 信号置 1 或-1,在第二次转换时给相反的信号,从而实现扰动注入^[7]。但其中的 Swap2 信号有 75%的概率不执行,降低了电容簇 1,2 与电容簇 3,4 的相关性,显著提高了 LMS 算法的收敛速度,约在第 3000 个样本点完成收

敛,达到了 89dB 的 SNDR 和 103dB 的 SFDR,功耗为 11.6mW。作为对比, McNeill 组的 ADC 需要 200,000 个样本, W. Liu 组的需要 22,000 个样本, H. Li 组的需要 100,000 个样本。

除了基于 LMS 算法的校准方法外,还有许多针对电容失配的校准算法。2013 年, Albert Hsu Ting Chang 等人提出了一种全新的基于码密度的后台校准算法,并设计了一款 12bits 50MS/s 的 SAR ADC^[8]。该算法的最大优势在于不需要特殊的校准信号,也无需对电路进行额外的处理。

2017 年,比利时微电子研究中心(IMEC)的 Ming Ding 等人提出了一种模拟低功耗后台校准方法^[9]。该方法考虑了电容失配的影响,利用 DAC 的冗余位特性,使得不同的 DAC 码字转换可以得到相同的二进制码字。在检测到固定码字时,会翻转到理论上等效的不同 DAC 码字,并根据两次比较的结果动态调整电容阵列。通过不断修正校准阵列中的误差,该方法类似于一个自动动态修调(Trimming)过程。最终,该方法在 40nm CMOS 工艺下实现了 6.4MS/s, 13bits ADC, 达到 64.1dB 的 SNDR, 功耗仅为 46 μ W。

2018 年, ADI 公司的 Junhua Shen 等人采用了低位电容校准高位电容的校准方法^[10], 以减小电容失配和寄生电容对系统线性度的影响, 并通过扰动信号的注入提升 ADC 的线性度, 同时利用 LSB repeat 比较技术降低比较器噪声的影响。

虽然国内模拟 IC 的研究起步较晚,但随着国内高校与科研单位在相关领域的不断科研与攻坚,在 ADC 领域的发表不断增多,部分研究也成功达到了国际顶级会议与期刊的认可,但总体而言还是与国际顶级水平存在一定的差距。此外,受制于先进制程的缺乏,工业界的 ADC 产品仍然与国际顶尖产品有一定的差距。总而言之,国内 ADC 领域正在蓬勃发展,但仍然与国际顶尖水平存在一定的差距。

对于近年来高精度 SAR ADC 的论文进行调研发现,由于电容阵列失配造成的非线性问题和比较器的性能是制约系统精度的主要因素。随着 ADC 位数的提升,电容阵列中的电容位数与大小不断提升,电容失配成为影响系统线性度的主要因素。因此,在高精度 ADC 领域中,针对与电容失配的校准算法具有很高的研究意义与实用价值。

1.3 本文的主要贡献

本论文针对高精度 SAR ADC 的校准算法进行研究，搭建了两种常见数字校准算法的行为级模型，并在 FPGA 上部署了校准模块，最终在 16bits 1MS/S 的 SAR ADC 上部署了基于模拟扰动注入的数字校准算法。首先针对于常用的 SAR ADC 架构进行了介绍与分析，介绍了高精度 SAR ADC 电容阵列的设计与 VCM_based 的开关切换策略，分析了影响 SAR ADC 精度的非理想因素，并介绍了几种常见的校准算法。对于基于模拟扰动注入的数字校准算法，首先在 MATLAB 中搭建了 SAR ADC 的行为级模型，引入电容失配、比较器噪声与失调等非理想因素，分析对于 ADC 精度的影响。在 SAR ADC 行为级模型中搭建了基于模拟扰动注入的数字校准算法，通过大量仿真得到了该收敛算法的学习曲线(learning curve)，从而确定了可以平衡校准速度与校准效果的收敛因子大小与扰动注入量。此外，在相同的 ADC 部署了低位校准高位的校准算法，在行为级比较了这两者校准算法在不同比较器噪声下的校准效果。此外，将上述两种校准算法进一步部署在 FPGA 上，观察相对于行为级校准模块的校准性能损耗，并比较了两种算法的硬件开销。

完成两种算法的数字验证后，选用校准效果更好的基于扰动注入的 LMS 数字校准算法，部署在 16bits 1MS/s 的 SAR ADC 电路上，进行前仿验证。在模拟端，重新设计了 ADC 控制信号，新增校准使能信号，使 ADC 在校准模式和正常量化模式中切换；CDAC 中增加了两位电容以插入模拟扰动，并根据校准算法重新设计了 CDAC 的控制信号。在数字端，由于数字校准无需将输出反馈模拟端，采用了片外部署的方案，将校准模块部署 FPGA 上。最终人为向 SAR ADC 中的电路阵列引入失配，将校准阶段生成的数字码传入部署在 FPGA 的校准模块进行校准。完成校准后，ADC 输入 60.852kHz, 98%量程的单频正弦波进行测试，数字码传入 FPGA，与校准得到的新权重计算，得到校准后的数字码输出。

本文的创新点如下：

1. 通过构建行为级模型，在相同的条件下比较了两种常见的电容失配数字校准算法，分析了在不同比较器噪声下的校准效果。除此之外，把两种校准模块分别部署在 FPGA 上，验证校准效果并比较硬件开销。

2. 在行为级模型上通过大量的分析与验证，得到了笔者所见最为全面的关于模拟扰动注入的 LMS 校准算法的校准效果分析，包含收敛因子与模拟扰动注入量

大小对收敛速度与校准效果的影响，模拟扰动的固定大小正反注入与随机化注入策略的比较，也从算法层面分析了注入信号的随机化程度对收敛速度的影响。

3. 在 FPGA 上成功部署了优化后的校准模块，减少了校准模块的额外模拟开销。目前国内对该校准算法的实现大多停留于 MATLAB 行为级建模，本文更进一步成功在硬件上部署并完成功能验证，并在基于 $0.18\mu\text{m}$ 工艺的 16bits 1MS/s SAR ADC 上部署了校准辅助电路和相关时序控制电路，通过人为向 CDAC 引入电容失配的方式，对整体 ADC 进行仿真，验证校准效果。

1.4 论文结构安排

本文分为五章，每一章的主要内容分别是：

第一章：介绍高精度 SAR ADC 的研究方向的实用性与目前国内外的研究现状，介绍了部分运用在 SAR ADC 上的校准算法，并在最后提出本文的研究内容与创新点。

第二章：概述了 ADC 的基本结构与性能指标，包含静态与动态参数，并引出了 SAR ADC 基本结构。

第三章：介绍了常用的高精度 SAR ADC 的 CDAC 设计，介绍了 V_{cm_based} 的开关切换策略和分段式电容阵列的结构。详细介绍了两种针对于电容失配的数学校准算法，并分别搭建了行为级模型，在相同的测试条件下对校准效果进行了比较；对于基于扰动注入的 LMS 数字校准，通过搭建的行为级建模仿真校准算法的学习曲线，确定了合适的校准参数。

第四章：本章首先将两种数字校准模块部署在 FPGA 上，比较校准效果和硬件开销，选取了校准效果更好的一种校准算法进行电路级实现。介绍了使用的 16bits SAR ADC 的基本架构和校准电路的设计，并分析了模拟扰动注入对校准的影响。最后使用部署在 FPGA 的基于模拟扰动注入的 LMS 校准模块，对人为引入电容失配的 16bit SAR ADC 进行校准。

第五章：对论文工作进行总结，概述得到的结果并分析工作中的不足与有待改进的部分。

2 ADC 概述

本章主要介绍 ADC 的基本结构与原理，简述了常用的 ADC 的静态参数和动态参数，并介绍了几种常见的 ADC 结构。

2.1 ADC 基本模块

ADC 的定义是：将模拟输入量化为数字输出的转换器。常见的 ADC 结构包含前置滤波器、采样电路、量化器和数字编码器，一般常见的“ADC 核”定义则主要是指后三部分。在现实生活中，需要采集的模拟量包含音频、图片信息等，通常使用传感器对这些信号进行采集，转换为电信号。由于这些模拟小信号易收到噪声的干扰，通常需要经过滤波和放大后进入 ADC 核进行采样。

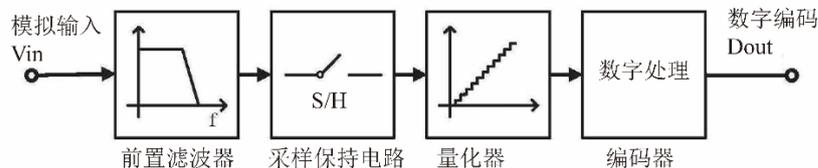


图 2-1 ADC 基本结构^[15]

在高速或高精度领域，采样保持电路的设计也十分重要，由于输入的模拟信号连续变化，采样保持电路可以在 ADC 的每个周期采样输入的模拟电平，并保持一定的时间从而进行量化。通常使用传输门电路或自举开关作为采样保持电路。

量化模块是 ADC 的核心模块，经过采样保持的电平输入比较器和参考电平进行比较，根据比较的结果得到数字码值。简单而言，量化就是找到输入电平对应的参考电平区间，并记录下来。越高的精度往往意味着更高的比较次数和越小的 LSB 电平，也对比较器的性能要求更高。

根据不同的性能和应用要求，数字编码的设计也往往不同。最常见的编码即二进制编码，根据性能的要求也有使用非二进制编码的设计。

2.2 ADC 常见结构

2.2.1 FLASH ADC

FLASH ADC 是诞生时间最长的 ADC，结构相对简单。如图 2-2 所示，包含电阻网络、比较器序列和数字编码锁存模块。首先通过电阻网络对输入的参考电压

V_{ref} 按照进行平均分压，得到 2^N 份，然后在不同的节点接入比较器，由此，比较器序列的输入为二进制分布的电压序列，比较器的另一端接入输入电压。当进行一次量化时，输入的电压在一个周期内进行 2^{N-1} 次比较，由此在一个周期内完成了转换。比较器的输出进行编码和锁存，最终得到数字码输出。

FLASH ADC 由于在一个周期内可以完成所有位数的比较，可以做到很高的采样率，因此常用于高速的场景。除此之外，由于结构简单，系统的误差主要为电阻的失配和比较器的噪声，因此系统误差较小。但是当量化位数 N 增加时，由于 FLASH ADC 需要 2^N 个单位电阻和 2^{N-1} 个比较器进行量化，模拟开销呈指数倍上升，因此 FLASH ADC 的分辨率通常较低。

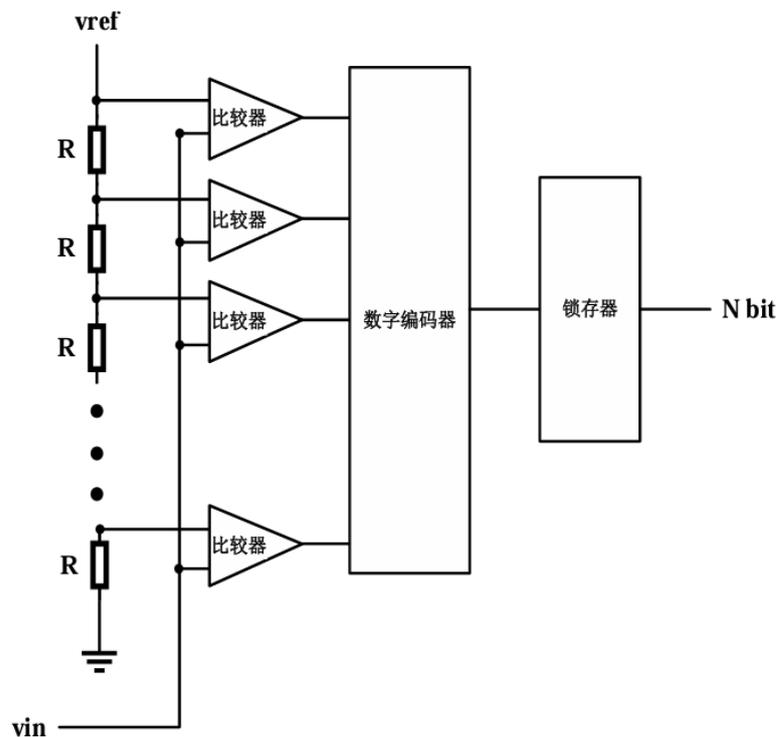


图 2-2 FLASH ADC 基本结构^[12]

2.2.2 SAR ADC 结构

SAR ADC 即逐次比较模数转换器，相比于 FLASH ADC，其特点是通过多个周期逐次比较得到量化结果，属于奈奎斯特 ADC，其结构包含采样保持电路、DAC、比较器与 SAR 逻辑电路。

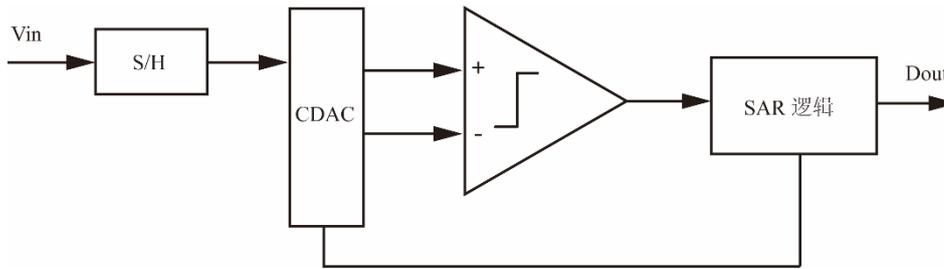


图 2-3 SAR ADC 结构

如前文所述，采样保持电路每个周期对模拟输入进行采样并保持一定时间，以传输固定的电平至后面的模块进行量化。DAC 的作用是提供参考电平并将其输入比较器，与输入信号逐次比较得到数字码，并根据得到的比较结果决定下一位量化时 CDAC 的输出。以二进制编码的 3 位 SAR ADC 为例，得到的数字码范围是 000-111，首先 CDAC 生成 100 数字码对应的模拟量作为参考电平，传入比较器与采样保持电路采样的电平比较，根据比较结果，将下次 CDAC 生成的参考电平设定为 010 或 110，再进行比较，通过三次比较得到三位数字码。这就是逐次比较的思想。常见的 SAR ADC 每个周期进行一次比较，但是在单通道（不使用时间交织技术）的情况下，采样率超过 500MHz 的部分高速 SAR ADC 会通过增加比较器和子 DAC 的方式实现每个周期多次判决。

DAC 模块即生成参考电平的模块，每个周期根据上次的判决结果提供不同的电平，在 SAR ADC 中通常使用电容阵列实现。随着 ADC 位数的增加，电容的数量也需要增加，因此电容阵列的面积也不断增加，消耗的功耗限制了 ADC 的整体能效表现。目前在高精度 SAR ADC 领域常用分段式电容阵列，通过桥接电容连接多端电容，由此减小整体的电容面积，具体原理在章节 3.2 介绍。

SAR 逻辑的作用是将比较结果锁存并反馈至 CDAC，根据控制时钟可以分为异步 SAR 逻辑与同步 SAR 逻辑。传统的 SAR ADC 采用同步时钟逻辑控制内部的采样和量化过程，而这需要远大于采样频率的高频时钟。以比较器模块为例，16bits 的 ADC 需要在每个周期进行至少 16 次比较，这意味着系统时钟频率需要大于 16 倍的采样频率。而异步时钟逻辑的系统时钟可以等于采样频率，在内部需要额外的电路生成控制时序。因此，SAR ADC 系统提速的关键在于使用异步时钟。

2.2.3 Pipeline ADC

Pipeline ADC 采用流水线的思想，分级进行 ADC 的量化。对于一个 N bits 的

pipeline ADC，当输入信号完成采样保持后，按照流水线的顺序从第一级移动至最后一级，分级地进行量化。需要注意，这样的工作原理使得 Pipeline ADC 除第一级外都需要配备残差放大器。

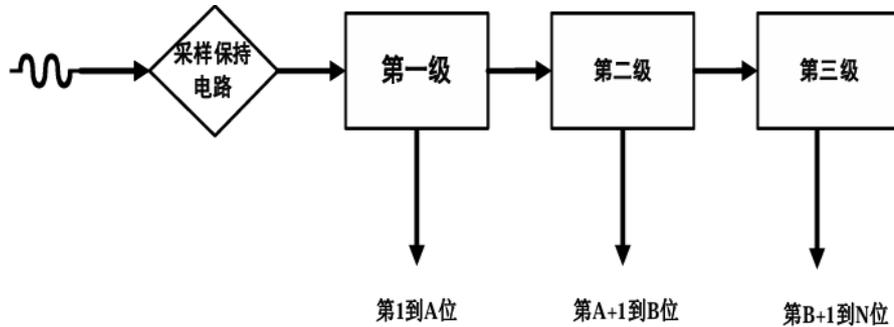


图 2-4 Pipeline ADC 结构^[12]

以第 2 级为例，需要采样第 1 级量化后得到的残差信号 V_1 ，进行量化得到第二级的 k 位数字码，此时通过 DAC 将 k 位码值转换为模拟量，与 V_1 相减得到第二级的残差信号 $V_{2, \text{origin}}$ 。将产生的残差信号通过残差放大器增大 2^k 倍，得到传入第 3 级的残差信号 V_2 。以此类推，直至最后一级完成了最低位的转换，整合每一级的量化结果，得到最终的数字输出码。

Pipeline ADC 采用的流水线的思想，特点在于每一级独立量化，因此采样速度只由单级的采样速度决定。故 pipeline ADC 常用于高速的场景中，但通常级间需要配备符合精度要求的残差放大器，且由于结构复杂，模拟电路的面积较大，不适用于低功耗的场景。

2.3 ADC 的性能指标

常见的 ADC 性能指标包含静态参数和动态参数，用于分析 ADC 的性能，下面将简单介绍部分参数的定义。

2.3.1 静态参数

1. 失调误差(offset)

通常失调误差是由器件的失配和基准电压的误差造成的，使得 ADC 的实际输出转移曲线和理想输出转移曲线出现了水平偏移，但不会对曲线的斜率产生影响。实际输出转移曲线和理想输出转移曲线相比，水平方向的平移距离称为失调误差。

2. 增益误差(Gain Error)

如上述，失调误差反应了实际输出曲线和理想曲线的水平偏移，而增益误差则反应了两条曲线的斜率不同。其计算方法是，取实际输出曲线最高点（即满量程）对应的模拟输入量与理想输出曲线最高点对应的模拟输入量的差值对应的量化范围。

3. 微分非线性(DNL)与积分非线性(INL)

在理想情况下 ADC 的数字码相邻值对应的模拟量差值是相同的，即在图 2-2(c)上每个台阶的宽度是一致的，大小为 1 个最小有效位(LSB)。但是在实际情况下，每个台阶的宽度不一定是 1 LSB^[11]。将实际相邻编码之间距离称为 DNL，单位是 LSB。在 ADC 中要求 DNL 小于 1，否则会产生错误编码。

积分非线性反应了 ADC 实际数字输出和输入的理想量化输出偏差最大的误差值，该误差的绝对值即积分非线性，也体现了 DNL 的积分大小，单位也是 LSB。

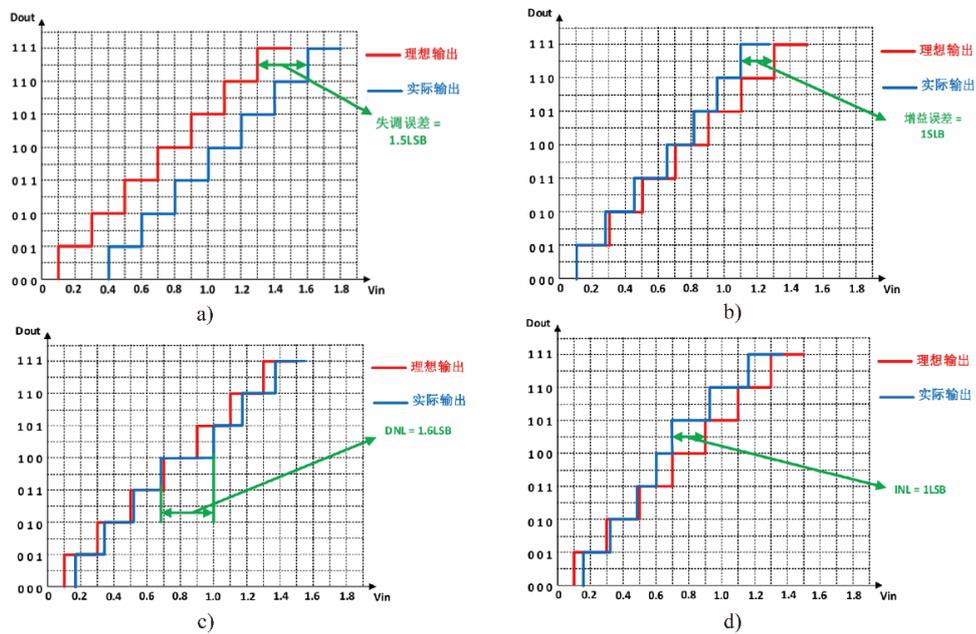


图 2-5 ADC 静态参数^[12] (a)失调误差; (b)增益误差; (c)微分非线性; (d)积分非线性

2.3.2 动态参数

1. 信噪比(SNR)

信噪比反映了 ADC 输出信号的交流主频的能量与采样带宽内噪声能量的比值，不包含直流分量和谐波，单位为 dB。可以表示为：

$$SNR = 20 \lg \left(\frac{V_{signal}}{V_{noise}} \right) \quad (2-1)$$

2. 信噪失真比(SNDR)

信噪失真比反映了 ADC 输出信号的交流主频的能量与采样带宽内噪声能量的比值(包含谐波分量), 相比信噪比多考虑了谐波失真, 可表示为:

$$SNDR = 20\lg\left(\frac{V_{signal}}{V_{noise} + V_{harmonic}}\right) \quad (2-2)$$

3. 有效位数(ENOB)

一般提到的 ADC 的位数包含设计的分辨率与有效位数, 例如本文的 ADC 设计位数为 16bits, 但由于非理想因素无法达到设计位数, 而有效位数则反应了 ADC 实际能达到的精度, 可以通过 SNDR 进行计算:

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2-3)$$

4. 无杂散动态范围(SFDR)

无杂散动态范围反应了采样带宽内主频与最大杂波能量的比值, 是反应 ADC 失真程度的重要性能指标。一般而言, 最大杂波会出现在谐波上。

$$SFDR = 20\lg\frac{V_{signal}}{V_{distortion_max}} \quad (2-4)$$

5. 总谐波失真(THD)

总谐波失真用于衡量信号中谐波成分之和与主频能力的大小比值, 反应了系统的失真程度, 一般只考虑第二次谐波到第十次谐波分量的影响^[13]。

6. 品质因素(FOM)

品质因素用于综合评估 ADC 的性能, 结合了速度、精度和功耗的多方面考虑。品质因素越低, 则 ADC 的综合性能越好。

$$FOM = \frac{Power}{2^{ENOB} \cdot fs} \quad (2-5)$$

式(2-5)中 power 表示 ADC 在一个量化周期内的平均功耗, fs 代表采样频率。品质因素的单位是 J/Conv, 反应了 ADC 的能量效率。

2.4 本章小结

本章围绕着论文选题, 简单介绍了 ADC 的架构、性能评判指标和常见结构的 ADC 的特点。其中 SAR ADC 具有结构简单、功耗低的特点, 通常运用在中低速和中高精度的场景中, 而高精度 SAR ADC 需要部署针对电容失配的校准算法。

3 高精度 SAR ADC 的 CDAC 设计与校准技术

在高精度 SAR ADC 中，针对 CDAC 中电容失配的校准和比较器的性能至关重要，本章主要介绍了高精度 SAR ADC 中 CDAC 的常用技术。高精度的 SAR ADC 中 CDAC 的位电容的数量很大，而使用 V_{cm_based} 的开关切换策略可以减小每个量化周期 CDAC 电容下级板电压切换的总功耗；在高精度的 SAR ADC 中 CDAC 的面积很大，通常会使用分段式电容阵列，以减小电容阵列的整体面积。了解高精度 SAR ADC 的 CDAC 结构后，便可以针对性地部署对于 CDAC 中位电容失配的校准算法。

对于 CDAC 中电容失配的校准算法，本章介绍了三种较为常见的数字校准算法，包含低位电容校准高位的数字前台算法，基于 Split ADC 结构的 LMS 校准算法和基于扰动注入的 LMS 校准算法，并通过行为级建模验证和比较了两种校准算法的校准效果。在行为级建模中，校准算法部署在一个 16bits 的 SAR ADC 上，采用两段式的 CDAC 结构和 V_{cm_based} 的切换策略。在 CDAC 的高段和低段各有一个冗余位，高段的冗余位采用二进制拆分重构的方式^[16]，低段的冗余位用于辅助低位校准高位的校准算法的实现。两个冗余位的引入降低了系统对 CDAC 建立时间的要求^[17]。

3.1 低功耗 CDAC 切换策略

DAC 在 ADC 系统中至关重要，对系统性能的整体影响很大，对系统的功耗、转换速度、线性度和噪声都有影响。由于 DAC 的功耗通常在 ADC 系统中占最大的比重，通常采用电容式 DAC 以降低功耗，相比于电流舵和电阻式 DAC 无需直流功耗^[13]。

在高精度 SAR ADC 中，由于分辨率的提高，CDAC 的面积有显著的增加，因此通常会使用分段式 CDAC 以减小 CDAC 面积并降低功耗，但由于引入的桥接电容也存在失配，系统的线性度也会收到一定影响。

为了降低 CDAC 的功耗，合理的开关切换方式也至关重要。ADC 在转换与重置准备下次转换的阶段都会消耗功耗，而合理高效的开关切换策略则可以降低 CDAC 的整体功耗。在本节简单介绍传统的 CDAC 切换策略和当下主流的“ V_{cm_based} ”切换策略^[15]。

3.1.1 传统 CDAC 切换策略

传统的切换策略中，CDAC 的上极板在采样阶段接入 V_{cm} 共模电平，下极板分别接入 V_{ip} 和 V_{in} 输入信号进行采样，完成采样后，上极板与 V_{cm} 驱动相连的开关断开，随后对下极板进行置位，准备进行 MSB 的比较。对于 P 端电容，MSB 接入 V_{ref} 置 1，其余位均置 0；对于 N 端电容，MSB 接入 GND 置 0，其余位均置 1。一般取 $V_{cm}=1/2V_{DD}=1/2V_{ref}$ ，故此时比较器正负端输入分别是 $V_{ref}-V_{ip}$ 与 $V_{ref}-V_{in}$ 。

随后进行第一次比较，即对 $V_{ref}-V_{ip}$ 与 $V_{ref}-V_{in}$ 进行比较，根据比较的结果切换下一位的电容。若 $V_{ip}>V_{in}$ ，则输出 MSB 为“1”，MSB-1 位 P 端置 1，N 端置 0；若 $V_{ip}<V_{in}$ ，则输出 MSB 为“0”，MSB-1 位 P 端置 0，N 端置 1。以此类推，直到得到 LSB 位判决结果^[14]。

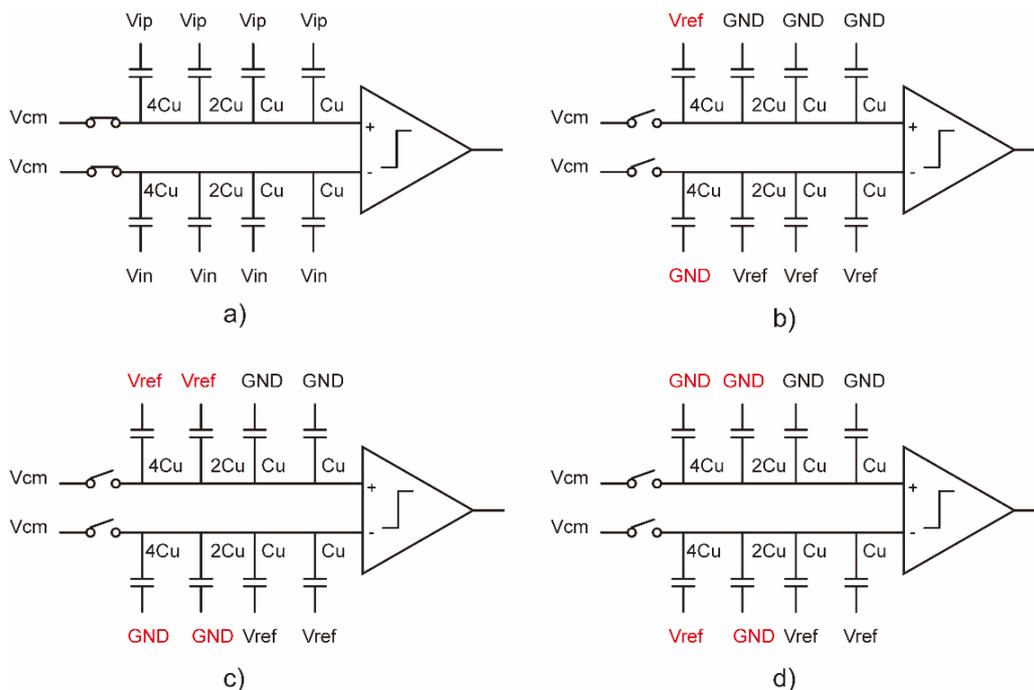


图 3-1 传统 CDAC 切换策略 (a)采样阶段切换策略; (b)完成采样进行电容切换, 进行第一次比较; (c) $V_{ip}>V_{in}$, 次高位电容进行切换; (d) $V_{ip}<V_{in}$, 次高位电容进行切换

由此可以看出，这种传统的 CDAC 切换策略具有预置位-比较-置位的操作逻辑。并且由于是对最高位进行预置位，预置位的功耗很大。

3.1.2 V_{cm_based} 切换策略

相比于传统 CDAC 切换策略预置位-比较-置位的操作逻辑， V_{cm_based} 采用

先比较再置位的方式，由此 CDAC 减小了一半的总电容，因此功耗也大幅减小。

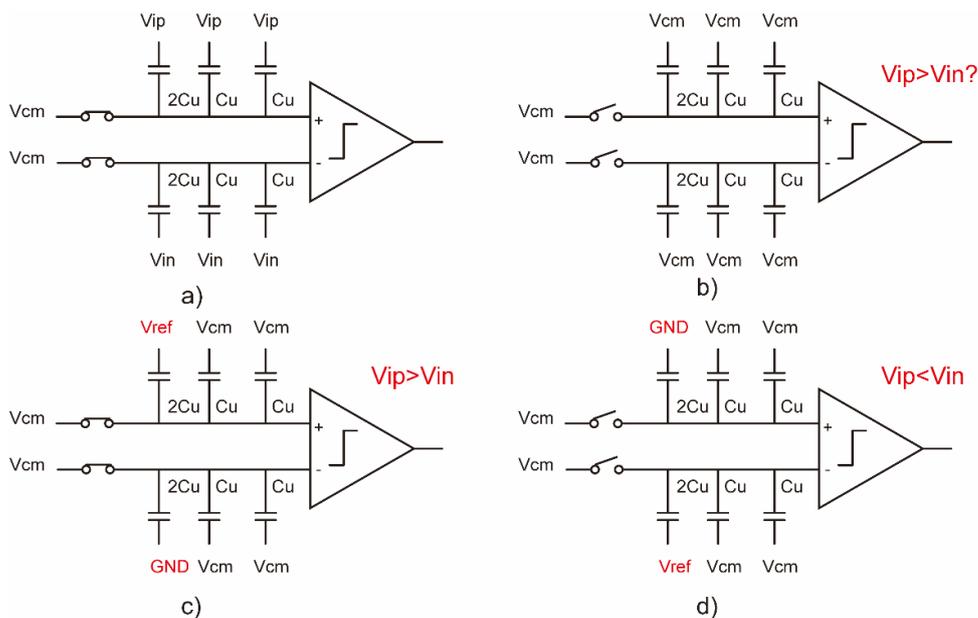


图 3-2 V_{cm} _based CDAC 切换策略 (a)采样阶段切换策略； (b)完成采样进行电容切换，进行第一次比较； (c) $V_{ip} > V_{in}$ ，MSB 电容进行切换； (d) $V_{ip} < V_{in}$ ，MSB 电容进行切换

采样阶段与传统方式一致，上级板在采样阶段接入 V_{cm} 共模电平，下极板分别接入 V_{ip} 和 V_{in} 输入信号进行采样。完成采样后，P 端和 N 端的电容下级版均接入 V_{cm} ，进行第一次比较。

$$V_{cm} - V_{ip} = V_p - V_{cm}, V_{cm} - V_{in} = V_n - V_{cm} \quad (3-1)$$

$$V_p = V_{ref} - V_{ip}, V_n = V_{ref} - V_{in} \quad (3-2)$$

根据电容重分配，计算得到比较器的正负输入为 $V_{ref} - V_{ip}$ 与 $V_{ref} - V_{in}$ ，进行第一次比较，若 $V_{ip} > V_{in}$ ，P 端 MSB 位电容置 1，N 端 MSB 位电容置 0，因此正负端上极板电压输出分别增加和减小了 $0.25V_{ref}$ ；反之，P 端 MSB 位电容置 0，N 端 MSB 位电容置 1。以此类推，直到得到 LSB 位判决结果^[14]。

V_{cm} _based 开关切换策略与传统方式相比，由于取消了预置位的操作，并且 MSB 位的判决结果由对称置位得到，电容减小到原来的一半，因此在相同共模电平的情况下，由于置位操作产生的功耗更小。由于该开关切换策略具有 CDAC 面积小，功耗相对较小的特点，近年来被广泛使用。

3.2 分段式电容阵列工作原理

对于传统的 SAR ADC 电容阵列，CDAC 面积随着 ADC 位数的提升呈指数级增长，即便使用了上述的 V_{cm_based} 开关切换策略，CDAC 的功耗依旧随系统精度的提升而指数提升，限制了高精度 SAR ADC 的整体性能。因此，通常会使用分段电容阵列技术以减小整体的 CDAC 面积，根据不同的性能指标要求和设计思路，有二段、三段甚至四段的分段方式。此处以最常见的二段式分段电容为例，图中的电容均为位电容，没有绘制高段和低段的 dummy 电容。

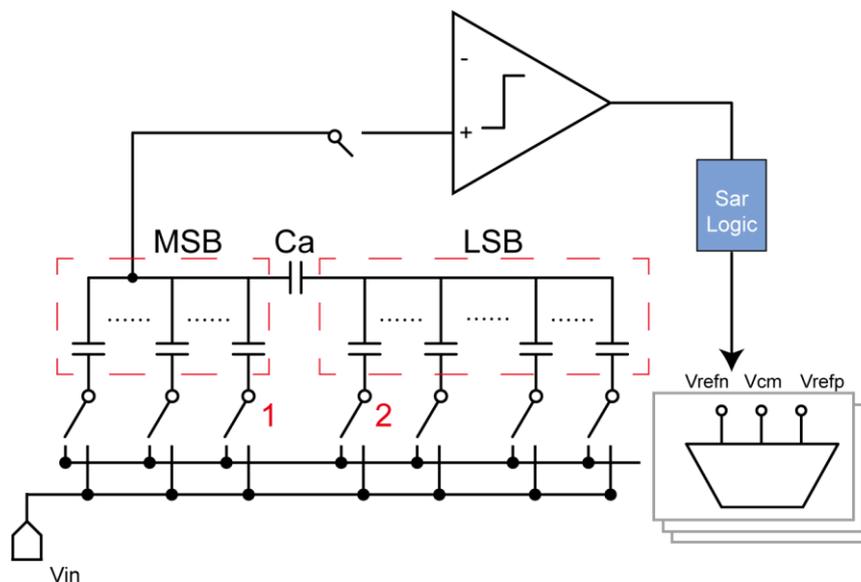


图 3-3 分段式电容阵列结构

对于纯二进分布的 CDAC，设总位数为 N 位，设高位段（称为 MSB 段）为 M 位，低位段（称为 LSB 端）为 L 位。两段间通过桥接电容 C_s 相连，根据电容串并联公式，对 LSB 端的电容权重进行缩放，但需要保证整体的 DAC 权重仍然符合二进制分布。如 MSB 端和 LSB 端使用相同的单位电容，则 N 位的分段式 CDAC 只需要 $2^M + 2^L$ 个单位电容，而传统的 CDAC 则需要 2^N 个单位电容。以 16bit 的全二进制 CDAC 为例，若采用了 11+5 的分段策略，共需要 2,080 个单位电容作为位电容，而不分段的 CDAC 则需要使用 65536 个单位电容作为位电容。因此，对 CDAC 分段的方式显著地减小了电容阵列的面积，并且减小了对电容匹配的需求，从而提高了整体的功耗精度等性能参数。

两段之间的线性度匹配十分重要，在图 3-3 中，点 1 电容和点 2 电容分别输入幅 VR 的阶跃信号，对 CDAC 整体输出 V_o 的改变分别为：

$$dV_{o1} = \frac{Cu(Ca + C_{Lt})}{C_{Mt}(C_a + C_{Lt}) + C_a C_{Lt}} \cdot V_R \quad (3-3)$$

$$dV_{o2} = \frac{2^{L-1} CaCu}{C_{Mt}(C_a + C_{Lt}) + C_a C_{Lt}} \cdot V_R \quad (3-4)$$

其中, C_{Mt} 与 C_{Lt} 分别为 MSB 段和 LSB 段的总电容, 包含了位电容总和与 dummy 电容:

$$C_{Mt} = (2^M - 1)Cu + C_{d1} \quad (3-5)$$

$$C_{Lt} = (2^L - 1)Cu + C_{d2} \quad (3-6)$$

为了保持正确的二进制权重分布, 相邻的电容输入阶跃信号后, 上级板的电压跳变需要满足 2 倍关系, 即:

$$dV_{o1} = 2dV_{o2} \quad (3-7)$$

$$Ca + C_{Lt} = 2^L Ca \quad (3-8)$$

在 M, L 确定的情况下, 我们总希望 Ca 、 C_{dummy} 、 C_{Lt} 由整数倍 Cu 构成, 以提高电容的匹配。通常的方法是首先确定 $Ca/Cu=1, 2, 3\dots$ (若 MSB 段单位电容是 LSB 段单位电容的 k 倍, 取 $Ca/Cu=k, k+1, k+2\dots$), 由下式计算 C_{Lt} , 从而确定 LSB 段的 dummy 电容大小:

$$\frac{C_{Lt}}{Cu} = \frac{2^L - k}{k} \cdot \frac{Ca}{Cu} \quad (3-9)$$

k 表示 MSB 段单位电容和 LSB 段的单位电容的比例, 当同时满足 $CLt \geq (2^L - 1)Cu$ 且 CLt 是 Cu 的整数倍时, Ca 、 C_{Lt} 电容的取值即完成了选择。

3.3 电容权重数字校准算法

如前所述, 尽管抑制电容热噪声和减小比较器失调和量化噪声也不可忽视, 但随着精度的提升, 电容阵列中的电容位数与大小不断提升, 电容失配成为影响系统线性度的主要因素。除此之外, 在高精度 SAR ADC 中通常采用分段式电容阵列以减小电容阵列的面积, 但分段式电容阵列中的寄生电容同样会造成位电容的权重失配。因此, 在高精度的 SAR ADC 设计中, 通常会配置电容权重的校准算法以确保系统的线性度。从校准算法是否打断 ADC 的正常转换阶段, 可以分为前台校准与后台校准; 从校准算法工作的电压域, 可以分为模拟校准与数字校准, 本文主要讨论模拟开销更小的数字校准技术。

数字校准算法将量化后的数字所对应的权重值校准为实际权重。完成校准后，ADC 在采样量化时不需要进行额外的操作，将量化结果直接作为数字输出，但输出码值进行加权求和时，使用的校准后得到的数字权重，从而消除数模转化电路的非线性以提高精度，这就是数字校准的核心。由于数字校准在数字域完成，且通常不需要对模拟域进行反馈，在前台以及后台校准的选择上有很大的灵活性，并且在算法层面上没有显著的区别，因此可以根据实际的情况与需求选择前台或后台校准。

3.3.1 低位电容校准高位电容

使用低位电容校准高位电容的方式是一种数字前台校准，其核心思想为将低位电容视为理想电容，用低位电容测量高位电容的真实权重并进行表示，从而得到了更加接近于真实权重的高位电容权重。一般认为，低位电容相比于高位电容，对系统线性度的影响更小，因此此处可以将低位电容视为理想权重，从而校准高位权重。但也有研究提出^[18]，由于低位电容包含失配信息，用于表示高位电容后会使得整个 ADC 的权重和偏离设计目标，造成 ADC 的增益误差。

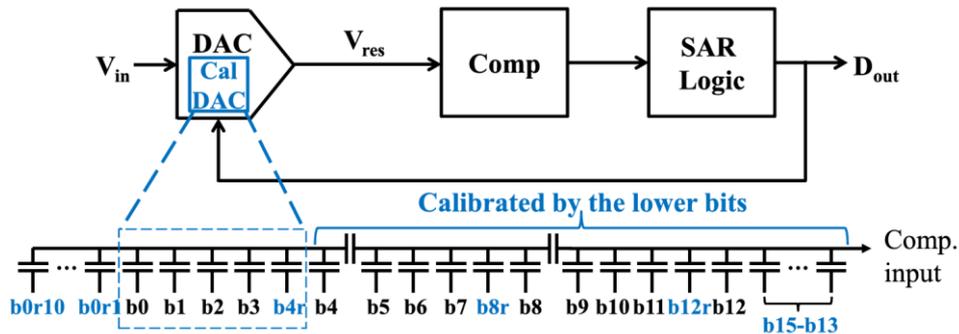


图 3-4 低位电容校准高位电容 CDAC 结构^[10]

以 shen 团队使用的低位校准高位校准方案的 16 bit SAR ADC 为例进行介绍，使用低位的 b_0 - b_4 和 b_{4r} 电容校准高位电容 b_5 - b_{15} 。其中， b_{4r} 电容是一个与 b_3 电容大小相同的冗余位电容，作用是校准 b_4 。若没有引入 b_{4r} ，虽然仅仅凭借 b_0 - b_3 最大可以表示 b_4 的理想权重，但若 b_4 的实际权重大于理想权重， b_0 - b_3 则无法表示大于理想权重的部分。因此，为了校准高段电容，低段需要引入一个冗余电容。

以校准 b_4 为例，介绍校准单个权重的流程。由于是使用低位校准高位，此时 b_4 位以上的高位不进行判决。首先将 ADC 的输入接地，并且将 b_4 位置 0，进行

判决，得到 ADC 的数字码；然后将 b4 置 1 进行判决，得到 ADC 的数字码，将低位电容的权重视为理想权重，计算 b4 位的权重：

$$w_{i,force0} = -\sum_{j=0}^{i-1} (b_{j,force0} w_j) + offset \quad (3-10)$$

$$w_{i,force1} = -\sum_{j=0}^{i-1} (b_{j,force1} w_j) + offset \quad (3-11)$$

进行两次判决的目的是为了消除比较器的失调电压对校准造成的影响，将式 (3-10) 与 (3-11) 相减，得到：

$$w_i = (\sum_{j=0}^{i-1} (b_{j,force0} w_j) - \sum_{j=0}^{i-1} (b_{j,force1} w_j)) / 2 \quad (3-12)$$

完成了 b4 的校准后，使用校准后的 b4 新权重校准 b5，直至校准至 MSB：

$$w_{i+1} = (\sum_{j=0}^i (b_{j,force0} w_j) - \sum_{j=0}^i (b_{j,force1} w_j)) / 2 \quad (3-13)$$

在实际的应用中，除了比较器的失调电压，还需要考虑比较器噪声和 kT/C 引起的量化噪声和比较器失调对校准效果的影响。由于校准电容中的相对低位电容的权重较小，校准过程中比较器输入的电压较小，因此校准容易受到比较器的噪声和失调干扰。因此通常会对权重进行多次校准，最后取平均值作为新的电容值，再进行下一位的校准，如 Chun C. Lee 在 12bits 的 SAR ADC 上对高位的校准进行了 128 次，并最终取平均值作为新的权重^[19]。这样的方法虽然提高了校准的效果，但是增加了校准时间。近期也有研究提出，通过在 SAR ADC 中增加一个辅助比较器 (Auxiliary Comparator)，用于相对低位段的校准，以减少校准时间^[20]。

3.3.2 基于拆分式 ADC 结构的 LMS 校准算法原理

McNeil 团队首先提出了运用拆分式 ADC (Split ADC) 结构的校准方法，即将原本的 ADC 改成两个完全相同的 ADC，但是每个 ADC 的模拟部分的面积和功耗缩小到原 ADC 的一般，以避免增大模拟开销^[21]。虽然每个 ADC 由于电容值的减小，采样噪声会变为原 ADC 的两倍，但是最终在输出段对两个 ADC 的码字输出取平均，使得 kT/C 噪声减半，恢复到原 ADC 水平。因此 Split ADC 结构没有增大模拟部分的面积与开销，且没有增加系统的采样噪声。

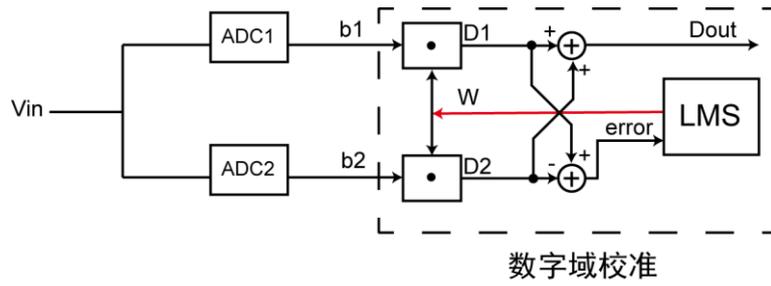


图 3-5 Split ADC 结构

由于原本的 ADC 被拆分为两个相互独立的 ADC，两个 ADC 的 CDAC 中分别包含了不同的电容失配，故两个 ADC 具有不同的权重失配。因此，即使不考虑量化噪声的影响，对相同的输入，两个 ADC 也会产生不同的量化码值 D1 与 D2。将权重向量拆分为理想权重与权重误差，有：

$$\begin{cases} W_{1,i} = W_{ideal,i} + \varepsilon_{1,i} \\ W_{2,i} = W_{2ideal,i} + \varepsilon_{2,i} \end{cases} \quad (3-14)$$

其中 $W_{ideal,i}$ 和 $W_{2ideal,i}$ 是满足理想二进制分布的理想权重， $\varepsilon_{1,i}$ 和 $\varepsilon_{2,i}$ 是实际权重相对理想权重的偏离值。由量化输出等于权重与数字码字相乘，得：

$$\begin{cases} D_1 = \sum_{i=1}^N b_{1,i} W_{ideal,i} + \sum_{i=1}^N b_{1,i} \varepsilon_{1,i} \\ D_2 = \sum_{i=1}^N b_{2,i} W_{2ideal,i} + \sum_{i=1}^N b_{2,i} \varepsilon_{2,i} \end{cases} \quad (3-15)$$

其中的第一项是理想的量化输出，不包含 CDAC 中的电容权重失配信息，第二项则是误差项，两个 ADC 系统分别包含不同的电容失配，故误差项不相同，两者相减可得：

$$\Delta D = D_1 - D_2 = \sum_{i=1}^N b_{1,i} \varepsilon_{1,i} - \sum_{i=1}^N b_{2,i} \varepsilon_{2,i} \quad (3-16)$$

通过这个式子，我们得到了两个 ADC 的权重误差信息，这些误差信息将在后续运用在校准循环中^[21]。除此之外，由于 ΔD 中只包含了权重的误差信息，而并没有包含输入信号的信息，由此可以提高校准的速度，减少算法迭代的次数。

上面的式子只描述了从一次转换结果中提取误差信息的方式，但是在实际校准中，为了估计权重的误差信息，需要通过多次转换提取误差信息。对上式拓展，构建矩阵：

$$\begin{bmatrix} \Delta D_1 \\ \Delta D_2 \\ \Delta D_3 \\ \dots \\ \Delta D_N \end{bmatrix} = \begin{bmatrix} d_1(1,1) & \dots & d_1(1,K) & -d_2(1,1) & \dots & -d_2(1,K) \\ \dots & \dots & \dots & \dots & \dots & \dots \\ d_1(N,1) & \dots & d_1(N,K) & -d_2(N,1) & \dots & -d_2(N,K) \end{bmatrix} \times \begin{bmatrix} \varepsilon_1(1) \\ \dots \\ \varepsilon_1(K) \\ \varepsilon_2(1) \\ \dots \\ \varepsilon_2(K) \end{bmatrix} \quad (3-17)$$

其中，K 是 ADC 的位数，N 是转换的次数，可以称为校准使用的样本数。 Δ 矩阵反应了每次转换计算得到的权重误差信息，R 矩阵则由两个 ADC 输出码值，整个 R 矩阵只由 1, 0, -1 构成。通过 ADC 的量化和计算，我们可以得到 Δ 矩阵和 R 矩阵中的每一个元素，从而可以求解 err 列矩阵，得到两个 ADC 每一位的权重误差。当选取 $N=2K$ 时，R 矩阵即构成了方阵，由此可以通过对等式两边同时左乘 R 矩阵的逆矩阵的方式求解权重误差矩阵 err 。但是在实际的电路和校准的设计中，矩阵的计算过于复杂，需要很大的硬件开销，因此不会通过直接求解矩阵进行校准，而是采用一种自适应滤波器的梯度下降算法：最小均方根算法，对权重进行迭代更新以逼近权重的真实值，从而提高系统的线性度。

自适应滤波器的模型如下：

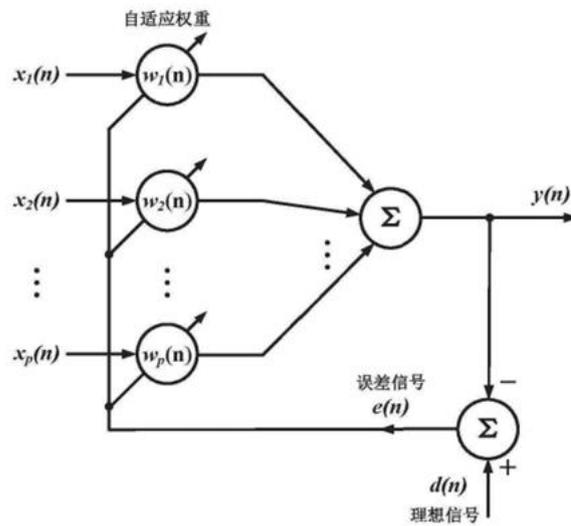


图 3-6 自适应滤波器^[15]

其中，最左边的 x 即滤波器系统的一组输入，w 是系统的权重系数，滤波器的阶数是 p，输入信号和系统的输出是 $y(n)$ ，而理想的输出是 $d(n)$ 。以一次输入为例，设 x 构成列矩阵 X，w 构成列矩阵 $W^{[23]}$ ，系统的本次输出为：

$$y = X^T W = W^T X \quad (3-18)$$

y 是一个标量, 将理想输出和真实输出相减, 可以得到:

$$\varepsilon = d - y = d - X^T W = d - W^T X \quad (3-19)$$

$$\varepsilon^2 = d^2 - 2dX^T W + W^T X X^T W \quad (3-20)$$

ε 为误差信息, 由此可以得到系统的均方误差(Mean Squared Error, MSE):

$$MSE = \xi = E[\varepsilon^2] = E[d^2] - 2E[dX^T]W + W^T E[XX^T]W \quad (3-21)$$

令 $P = E[dX]$, $R = E[XX^T]$, 此时的 R 为输入信号的自相关矩阵, 可以得到:

$$\xi = E[d^2] - 2P^T W + W^T R W \quad (3-22)$$

由此可以认为, MSE 是权重向量 W 的二次函数。假设滤波器的阶数为 2, MSE 可以绘制为一个三维的曲面, 其中 x y 轴分别是两个权重的大小, 而 z 轴则是 MSE。

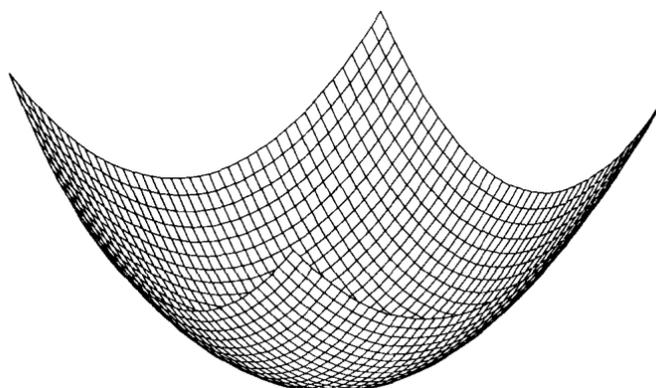


图 3-7 二阶自适应滤波器的均方误差曲面^[24]

对于更高阶数的滤波器, MSE 的曲面无法直观的绘制出来, 但原理是一致的。我们首先拥有包含权重的初始值的向量 W , 当我们不断沿着 MSE 的负梯度改变权重时, MSE 最终会收敛到曲面的最低点, 此时系统的均方误差最小, 这也是最小均方误差 (LMS) 算法名称的来源。此时, 权重向量的更新可以表示为:

$$W_{j+1} = W_j + \mu(-\Delta_j) \quad (3-23)$$

MSE 的梯度表示如下:

$$\Delta_j = \frac{\partial \xi}{\partial w_j} = \begin{bmatrix} \frac{\partial \xi}{\partial w_1} \\ \frac{\partial \xi}{\partial w_2} \\ \dots \\ \frac{\partial \xi}{\partial w_p} \end{bmatrix} \quad (3-24)$$

但是在实际的应用中, 无法得到 MSE 的准确梯度, 只能得到 MSE 对于当前

权重向量 W 该点的梯度，以此作为梯度的估计：

$$\hat{\Delta}_j = \frac{\partial \varepsilon_j^2}{\partial w} = 2\varepsilon_j \frac{\partial \xi}{\partial w} \quad (3-25)$$

将式(3-25)代入，得到：

$$\hat{\Delta}_j = 2\varepsilon_j \frac{\partial \xi}{\partial w} = 2\varepsilon_j(-X_j) \quad (3-26)$$

由此，我们可以得到 LMS 算法的核心等式：

$$\begin{cases} W_{j+1} = W_j + \mu(2\varepsilon_j X_j) \\ \varepsilon_j = d_j - X_j^T W \end{cases} \quad (3-27)$$

回归到 ADC 校准的问题上，ADC 的每一位权重即是自适应滤波器的权重的初始值， X 为 ADC 的数字码输出， j 是迭代的次数， μ 是迭代的步长，称为收敛因子。迭代的步长决定了 LMS 算法的收敛速度，通常而言，选取较大的收敛因子会加快权重的校准速度，即需要更少的 ADC 转换周期便可以完成校准，但是过大的收敛因子会造成系统不稳定、收敛效果差等问题。因此需要在保证 LMS 算法收敛的前提下选择尽可能大的收敛因子，在保证校准效果的基础下加快校准的速度。为了方便校准的硬件实现，通常会将收敛因子选择为 2 的指数次方。

当采用 Split ADC 结构时，同时对两个 ADC 进行校准，将权重代入 LMS 算法中，有：

$$\begin{cases} W_{1,i}(k+1) = W_{1,i}(k) + \mu\Delta D b_{1,i} \\ W_{2,i}(k+1) = W_{2,i}(k) - \mu\Delta D b_{2,i} \end{cases} \quad (3-28)$$

使用 LMS 的校准算法计算简便，相比于矩阵的乘法并不需要复杂的乘除法运算，在硬件的开销上具有显著的优势，因此常常被用于 ADC 的校准中。对于上式，当两个通道的权重误差信息 $\Delta D=0$ ，认为权重误差被消除；反之，权重误差信息 ΔD 不等于 0 时，则需要继续进行校准迭代，直至 $\Delta D=0$ 。尽管在实际情况下，大部分时候 LMS 算法无法真正的实现 $\Delta D=0$ ，但是可以使得 MSE 沿权重向量的负梯度下降至最低点附近，并维持在最低点附近上下跳变。此时，也认为 LMS 算法完成了收敛。换言之，当误差值达到了所需的精度要求范围内，即可认为校准以及完成。反映到 ADC 性能上，更新后的权重相比初值更加接近于真实值，系统的线性度显著提升。由于这种数字校准方式不需要对模拟域进行反馈，校准既可以在前台进行，也可以在后台进行。其优势在于使用较小的硬件开销即可对 CDAC 的电容失配实

现优秀的校准效果。

但是需要注意，与逆矩阵的求解类似，LMS 算法要求式 (3-17) 权重校准矩阵 R 为非奇异矩阵。这要求两个子 ADC 的权重失配不能完全一样，否则矩阵 R 为奇异矩阵， ΔD 在迭代的过程中始终等于 0，无法体现权重误差的信息，此时 LMS 算法认为校准已经完成。为了保证校准矩阵 R 的非奇异性，通常会使用额外的电容在 Split ADC 中引入伪随机逻辑（如 shuffler^[21]，paired-swapping^[7]），改变 CDAC 每次的工作的状态，使得每个 ADC 在面对相同的输入信号也会由于电容的失配产生不同的量化输出。除此之外，还有引入（随机）微小扰动量的方法，在两个 ADC 的输入分别叠加不同大小的扰动，以确保得到不相等的量化输出^[6]。

3.3.3 基于扰动注入的数字校准算法原理

基于模拟扰动注入的 LMS 校准算法是另外一种类似的数字校准算法，具有模拟开销低、鲁棒性优秀和校准效果显著等优点。该算法同样使用 LMS 算法对电容阵列中每一位的数字权重进行迭代。

基于模拟扰动注入的 LMS 数字校准算法指在模拟域中通过相关电路引入微小的扰动量，使得 SAR ADC 对同一个输入信号量化两次，由于扰动的引入，两次量化得到了不同的输出码值。将两次量化结果的差代入 LMS 算法进行迭代，算法收敛后得到 CDAC 中每一位电容实际的数字权重。

ADC 在完成对输入 V_{in} 采样的模拟域引入扰动量 $\pm\Delta a$ 后进行量化。设 ADC 系统的传输函数为 $Q(x)$ ，此时对输入 V_{in} 的量化为 $Q(V_{in} \pm \Delta a)$ ，若 $Q(\Delta a) = \Delta d$ ，考虑到线性系统传输函数的非相关性，有：

$$Q(V_{in} \pm \Delta a) = Q(V_{in}) \pm Q(\Delta a) = Q(V_{in}) \pm \Delta d \quad (3-29)$$

由此可得，引入扰动量 Δa 后，将量化结果减去扰动对应的量化输出项 $\pm\Delta d$ ，就可以得到输入信号的量化结果。在理想情况下，CDAC 中每一位电容权重按照二进制排列，ADC 在分别两次扰动注入后，对相同的输入信号进行量化，减去扰动对应的量化输出项后会得到相同的输出结果，但是在电容存在失配的情况下，ADC 的输出特性曲线会由于电容失配而不再是一条直线。因此，在模拟域引入扰动量 $\pm\Delta a$ 后，转移曲线会向左或向右移动 Δa ，但在数字域减去扰动量化项 $\pm\Delta d$ 后，转移曲线会进行垂直的平移。这两次平移会使得输出特性曲线产生一个窗口，由于窗

口内模拟输入与数字码不再一一对应，ADC 的两次量化结果也将不再一致，因此得到了 LMS 算法中需要的误差项。

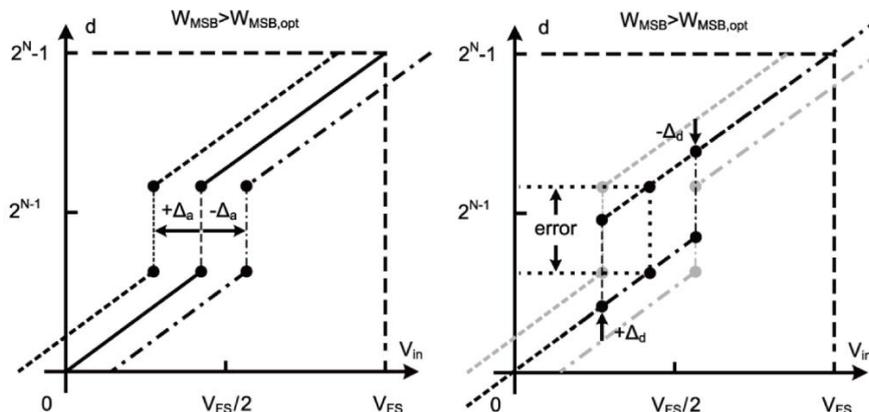


图 3-8 ADC 存在失配时的输出曲线图^[4]

下面介绍基于扰动注入的数字后台校准算法的流程。

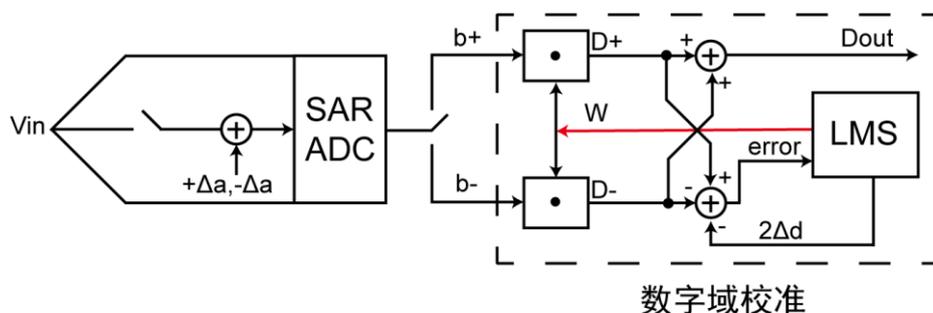


图 3-9 基于扰动注入的数字后台校准流程

SAR ADC 完成输入信号的采样后，分别进行两次量化，通过向 CDAC 注入电荷的方式，在这两次量化向 CDAC 引入 $+\Delta a$ 和 $-\Delta a$ 的扰动，在电容阵列存在的失配的情况下会得到两个不同的量化结果，两次量化结果的差值可以得到 LMS 校准算法的误差项：

$$err(n) = D_1(n) - D_2(n) - 2\Delta d \quad (3-30)$$

误差项 err 反应了电容失配的信息，通过 LMS 迭代公式使得误差项收敛至 0，当电容权重向真实权重逼近时，误差项会向 0 逼近，在输出特性曲线上则表现为非线性窗口逐渐缩小直至曲线回归线性。参照式(3-28)，基于扰动注入的 LMS 迭代公式为：

$$w_i(n+1) = w_i(n) - u_w err(n)(b_{i+}(n) - b_{i-}(n)) \quad (3-31)$$

w_i 是第 i 位电容的权重， u_w 是迭代步长， b_{i+}, b_{i-} 是插入正负扰动得到的数字码， n 反应了迭代次数。通过该公式迭代对数字权重进行校准。需要注意，由于在模拟域引入扰动通过使用额外的电容实现，而该电容同样存在失配，故同样需要对

扰动进行校准：

$$\Delta d(n+1) = \Delta d(n) + u_{\Delta} err(n) \quad (3-32)$$

基于扰动注入的数字校准无需额外的子 ADC，只需要在 CDAC 中额外增加一位电容进行扰动注入，模拟开销小且利于版图设计，并且可以根据实际情况选择前台或后台校准。

3.4 数字校准算法行为级建模

3.4.1 基于扰动注入的数字前台校准

首先比较基于扰动注入的 LMS 数字前台与后台校准算法，由于在校准算法层面是一致的，可以选用相同的校准参数进行测试。对于前台校准模式，ADC 的工作模式可以分为校准模式与转换模式。在校准模式下，由于 ADC 完成一次采样后需要插入正负扰动进行两个周期的量化，因此采样率减半。每次完成插入正负扰动的两个周期的量化后，使用 LMS 算法更新权重。当 LMS 算法完成收敛后，选取最后一次迭代得到的权重作为新的权重，随后 ADC 切换到正常量化模式，不再插入扰动。

此处选择单次注入扰动大小等于 2048LSB，即在 MSB 段单端加入大小为 64 个单位电容的电容，进行扰动注入。LMS 算法的收敛速度与扰动注入的大小正相关，但是过大的扰动注入量会使得后台校准模式下 ADC 的量程大幅减小。此处的扰动大小选取考虑收敛速度和量程的折中，通过行为级建模仿真选取，具体的测试在后续章节 4.4 详细介绍。

固定了扰动注入的大小后，需要选取合适的收敛因子。为了便于硬件实现，收敛因子通常会选取 2 的幂次。根据式(3-27)，收敛因子的大小决定了权重每次沿 MSE 的负梯度移动的步长，因此，选取较大的权重可以使得 MSE 更快地到达最低点(参考图 3-7)。但是，过大的收敛因子会造成系统不稳定、收敛效果差等问题，反应在 MSE 上，则体现为 MSE 在迭代后期反复在最低点的附近正负上下跳变，但始终无法很好地接近最低点。通常为了兼顾收敛速度和校准效果，会在精度允许范围内选取尽可能大的收敛因子。

为了得到兼顾收敛速度和校准效果的收敛因子大小，搭建 ADC 架构与基于扰动注入的数字校准算法的行为级模型。在 MATLAB 中以代码的形式模拟 ADC 的

正常采样和量化的过程。设定参考电路 $V_{ref}=3.3V$ ，主 ADC 电源电压 $V_{dd}=3.3V$ ，SAR ADC 每次转换产生 18 位数字码，包含两位冗余位。CDAC 采用分段式电容阵列，单位电容 C_u 大小为 $30fF$ ，桥接电容 $C_a=2C_u$ ，采用 V_{cm_based} 开关切换策略，单端电容阵列的结构如下：

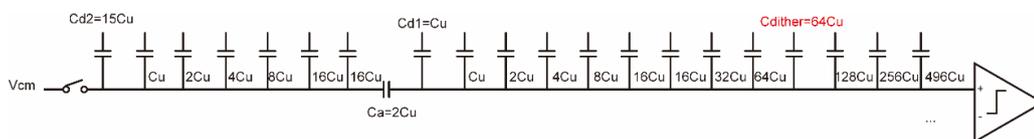


图 3-10 CDAC 电容阵列

其中低段的冗余位是基于低位权重校准高位的校准算法的必要冗余位，虽然在基于扰动注入的 LMS 数字校准中并非必要，但为了更好地进行算法间校准效果的比较，采用了一致的 CDAC。高段采用 MSB 拆分的方式实现冗余。Cdither 电容的作用是实现扰动的注入。根据 3.2 节所述构建分段式电容阵列，Cd2 选取 $15C_u$ ，Cd1 取 $1C_u$ 。采样阶段 LSB 端电容接入 V_{cm} ，只有 MSB 段的位电容与 Cd1 参与采样。

引入非理想因素进行仿真，由 LSB 大小为 $50\mu V$ ，设定比较器失调电压偏移的标准差 $3\mu V$ ，比较器噪声标准差 $47\mu V$ ，开启 kT/C 噪声，在不开启电容的失配和寄生的情况下，输入 $60.852kHz$ ，98%量程的单频正弦波进行测试，对 ADC 输出的进行 FFT，得到如下的频谱：

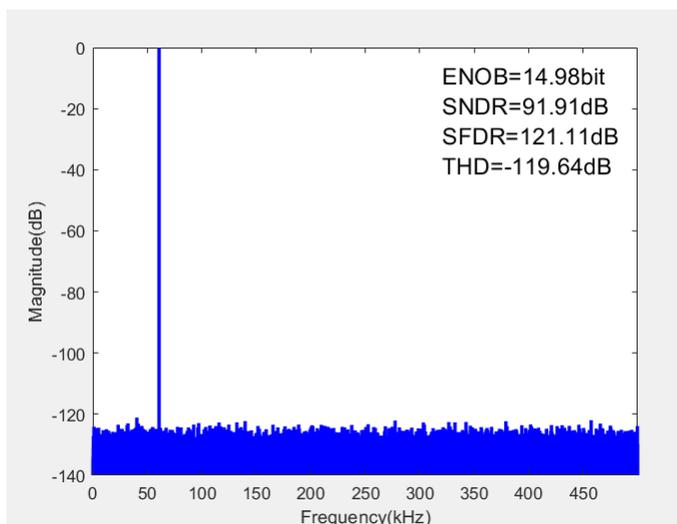


图 3-11 校准前输出频谱(未开启电容失配)

此时 ENOB 的主要制约因素为比较器的噪声。故即使电容的失配被完全校准，系统也只能达到：ENOB=14.98bit，SFDR=121.11dB。

在设定比较器失调电压偏移的标准差 $3\mu V$ ，比较器噪声标准差 $47\mu V$ ，开启

kT/C 噪声的基础上, 开启电容的失配, 设定失配标准差 3%, 设定 α 底板和 β 顶板到地的归一化寄生电容为 2%。输入 60.852kHz, 98%量程的单频正弦波进行测试, 对 ADC 输出的进行 FFT, 得到如下的频谱:

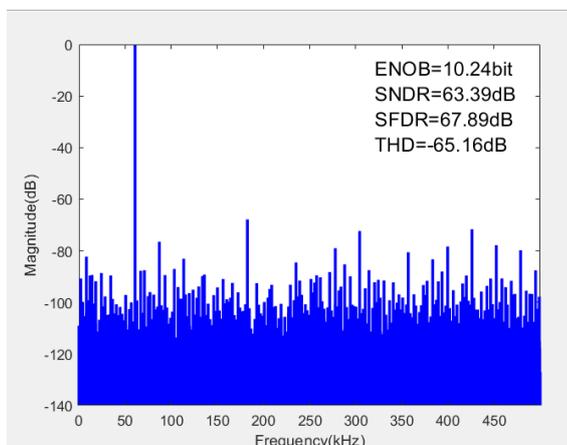


图 3-12 校准前输出频谱(开启电容失配)

此时 ADC 的精度显著下降, 反映了电容失配对 ADC 系统线性度的影响。

使用 6.085kHz 的单频正弦波作为校准的输入样本, 设置扰动注入的大小为 2048LSB, 以收敛因子 $uw=2^{-16}, 2^{-17}, 2^{-18}$ 分别进行校准, 完成校准后用输入 60.852kHz, 98%量程的单频正弦波进行测试。进行 100 次校准仿真, 取平均值绘图, 横坐标为校准使用的样本量, 反应了迭代次数与收敛速度:

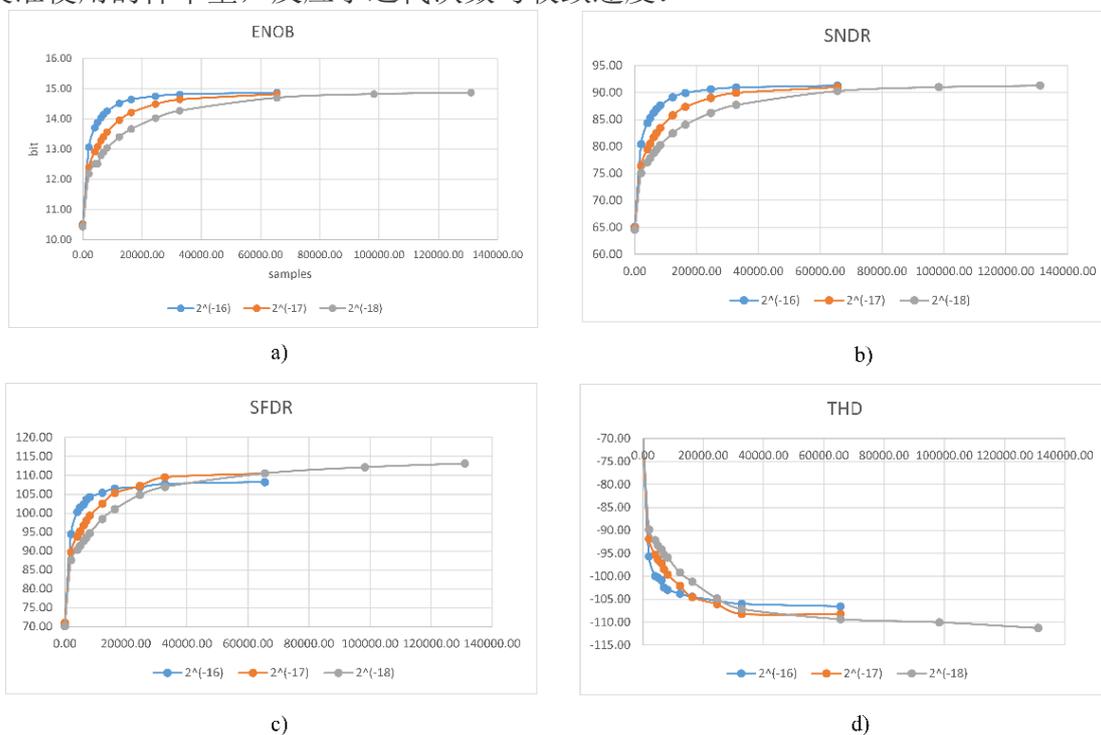


图 3-13 LMS 算法 learning curve (a)ENOB 随迭代次数的变化; (b)SNDR 随迭代次数的变化; (c)SFDR 随迭代次数的变化; (d)THD 随迭代次数的变化

从图 3-13 可以看出, 校准算法对整体性能有很大的提升, 显然 LMS 算法可以将电容的权重迭代至相当接近实际权重的程度, 极大地抑制电容失配对 ADC 系统造成的非线性误差。实际上, ENOB 在三种收敛因子下均可以达到 14.8bits, SNDR 均可达到 91dB, SFDR>108dB。

观察对于 ADC 的四个动态参数, 可以发现在 0-20000 次迭代中提升的幅度最大, 其中 $uw=2^{-16}, 2^{-17}$ 在约 30000 次迭代处完成收敛, $uw=2^{-18}$ 时则需要 60000 次以上的迭代。对于 SNDR, 在 60000 次迭代时均可收敛到目标, 且收敛速度与收敛因子大小正相关; 对于 SFDR, 收敛因子越小收敛效果越好, 且收敛速度与收敛因子大小正相关。尽管 $uw=2^{-18}$ 时 SFDR 的校准效果更优秀, 但综合校准效果和收敛速度的考虑, 最终选择收敛因子 uw 大小为 2^{-17} 。

3.4.2 基于扰动注入的数字后台校准

与前台校准相比, 后台校准不再打断 ADC 的正常转换, 故 ADC 需要不断的注入正负扰动: 每一次采样后都需要插入正负扰动进行两个周期的量化, 故使用基于扰动注入的 LMS 数字后台校准会造成 ADC 采样率减半。由于在需要不断的注入扰动, ADC 的量程也受到影响。但对于该算法的前台校准, 由于完成校准后不再注入扰动, ADC 的量程不会收到扰动注入的影响, 且采样率不变。

但是, 后台校准对完成一次采样后注入正负扰动的两个量化结果取平均值, 作为最终的输出:

$$D_+ = Q(V_{in}) + Q(\Delta_+) \quad (3-33)$$

$$D_- = Q(V_{in}) + Q(\Delta_-) \quad (3-34)$$

$$D = (D_+ + D_-) / 2 = Q(V_{in}) \quad (3-35)$$

两次量化的结果取平均值与 Split ADC 结构的 LMS 数字校准相似, 同样会使量化噪声减半, 因此, 在比较器噪声较大的情况下, 后台校准的效果会优于前台校准。下面通过行为级仿真对此进行验证。

由于基于扰动注入的数字后台校准和前台校准在 LMS 迭代算法层面上没有区别，故收敛因子同样选用 $uw=2^{-17}$ ，扰动大小为 2048LSB，此时，后台校准算法量程受到扰动注入的影响，变为原量程的 93.75%。使用 60.852kHz，90%量程的单频正弦波进行测试，设定比较器失调电压偏移的标准差 $3\mu\text{V}$ ，开启电容的失配，设定失配标准差 3%，设定 alfa 底板和 beta 顶板到地的归一化寄生电容为 2%。在不同比较器噪声下的测试结果如下：

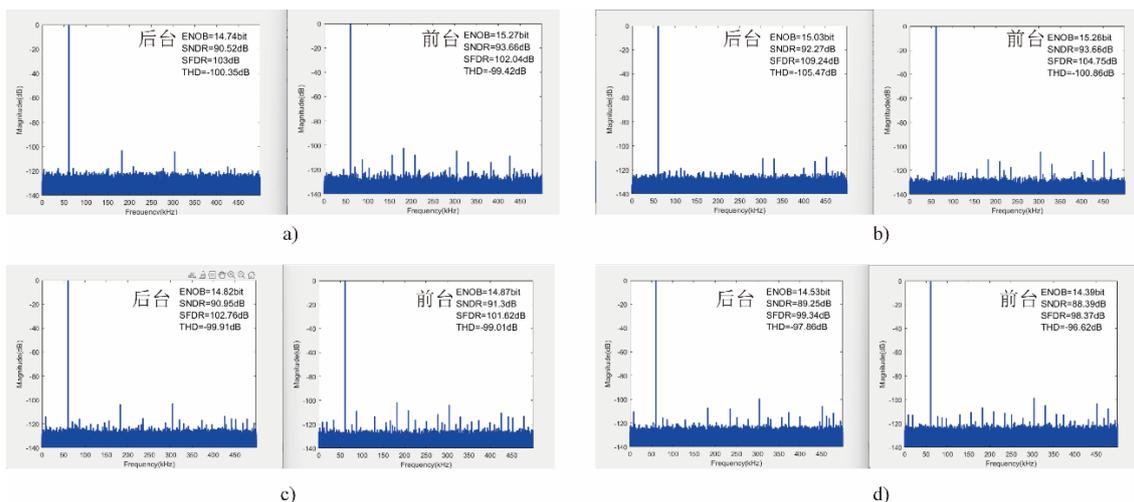


图 3-14 基于扰动注入的 LMS 算法：后台校准与前台校准比较 (a)比较器噪声标准差 $0\mu\text{V}$ ；(b)比较器噪声标准差 $0\mu\text{V}$ ，开启 kT/C 噪声；(c)比较器噪声标准差 $25\mu\text{V}$ ，开启 kT/C 噪声；(d)比较器噪声标准差 $50\mu\text{V}$ ，开启 kT/C 噪声

首先，在不开启热噪声的情况下，前台校准的效果优于后台校准，但随着量化噪声的增大，经过后台和前台校准的 ADC 性能都逐渐下降，但后台校准的性能下降更慢，因此在最终效果反超了前台校准，原因正是通过式(3-35)，对两次量化结果取平均值，降低了量化噪声造成的影响。

总而言之，关于基于扰动注入的 LMS 数字校准，后台校准相比前台校准具有采样率减半、量程减小和低比较器噪声下校准效果略低的劣势，但在 ADC 系统包含较大的量化噪声的情况下，后台校准的效果会优于前台校准。

3.4.3 基于低位电容权重的数字校准

考虑到基于低位电容权重的数字校准在近年中也被广泛运用于高精度 SAR ADC^{[10][25]}，故使用相同的 16 位 SAR ADC 建模，部署该算法进行校准，为了后续便于说明，使用更为常见的“低位校准高位”指代该校准算法。电容阵列如图 3-10，将分段电容的 LSB 段的电容权重视为理想权重，对 MSB 段进行校准。如章

3.3.1 所述，对于每一位电容，先置 0 得到低位的量化输出，再置 1 得到低位的量化输出，将两次的输出相减得到新的电容权重。对于每一位的电容，进行 16 次校准，最终取平均值作为新的电容权重，再进入下一位的校准。进行多次校准取平均值的目的是减小量化噪声对校准效果的影响。由于 MSB 段有 11 位电容，因此校准阶段共需要产生 352 组数字码。对比基于扰动注入的 LMS 数字校准，校准阶段需要更少的转换周期，校准的速度更快。但是由于用低位的电容表示高位，对高位电容的权重表示只能精确到 LSB 电容的权重，无法精准反应实际的电容权重。但是使用 LMS 算法的数字校准(包含扰动注入和 Split ADC 结构)可以精确表示电容权重到小数点后，因此，从算法层面上，使用 LMS 的数字校准效果会显著优秀于低位权重校准高位的算法。

除此之外，由于使用低位电容作为理想权重，但是实际情况下低位电容必然包含失配，因此校准后的 CDAC 电容和会偏离理想值，造成作为电容阵列作为 DAC 输出的增益误差。这样的问题基于扰动注入的 LMS 数字校准算法同样存在^{[4][26]}，但 CDAC 的增益误差不会带来 ADC 系统的非线性误差，因此不会对电容权重失配的校准效果产生影响。

使用 60.852kHz，98%量程的单频正弦波进行测试，设定比较器失调电压偏移的标准差 $3\mu\text{V}$ ，比较器噪声的标准差 $47\mu\text{V}$ ，开启电容的失配，设定失配标准差 3%，设定 alfa 底板和 beta 顶板到地的归一化寄生电容为 2%，测试结果如下：

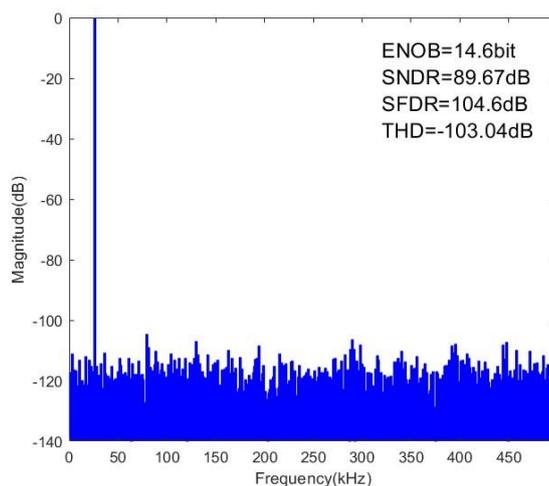


图 3-15 低位校准高位校准效果

校准前的 ADC 输出频谱与图 3-12 类似，ENOB 大约在 9-11bits 间波动，经过校准，ENOB 达到 14.6bits，SNDR 达到 89.67dB，SFDR 达到 104.6dB。

3.4.4 三种数字校准模块的校准效果比较

在不同的比较器噪声下，基于扰动注入的 LMS 数字后台校准的校准效果在理论上优于前台校准，此外，低位校准高位的校准算法在理论上低于使用 LMS 算法更新权重的算法。本文通过在相同的 16 位 SAR ADC 的行为级模型上部署上述三种校准模块，比较在相同的非理想情况下的校准效果，填补了校准算法横向比较方面的空缺。

如章 3.4.2 所述，在比较器噪声标准差为 0 的情况下，基于扰动注入的 LMS 算法的前台校准效果优于后台校准，但是随着比较器噪声的增大，后台校准的效果会超过前台校准。此外，低位电容校准高位的前台数字校准由于对一位电容进行多次校准，也在一定程度上减小了比较器噪声对校准的干扰。因此，论文将三种校准算法部署在相同的 16 位 SAR ADC 行为级模型上，其 CDAC 结构如图 3-10 所示。设定比较器失调电压偏移的标准差 $3\mu\text{V}$ ，开启电容的失配，设定失配标准差 3%，设定 α 底板和 β 顶板到地的归一化寄生电容为 2%。完成校准后，输入 90% 量程的单频正弦信号测试对于三种校准模块在不同比较器噪声的情况下的校准效果，进行 100 次仿真，最终的动态参数取平均值进行绘图，得到图 3-16：

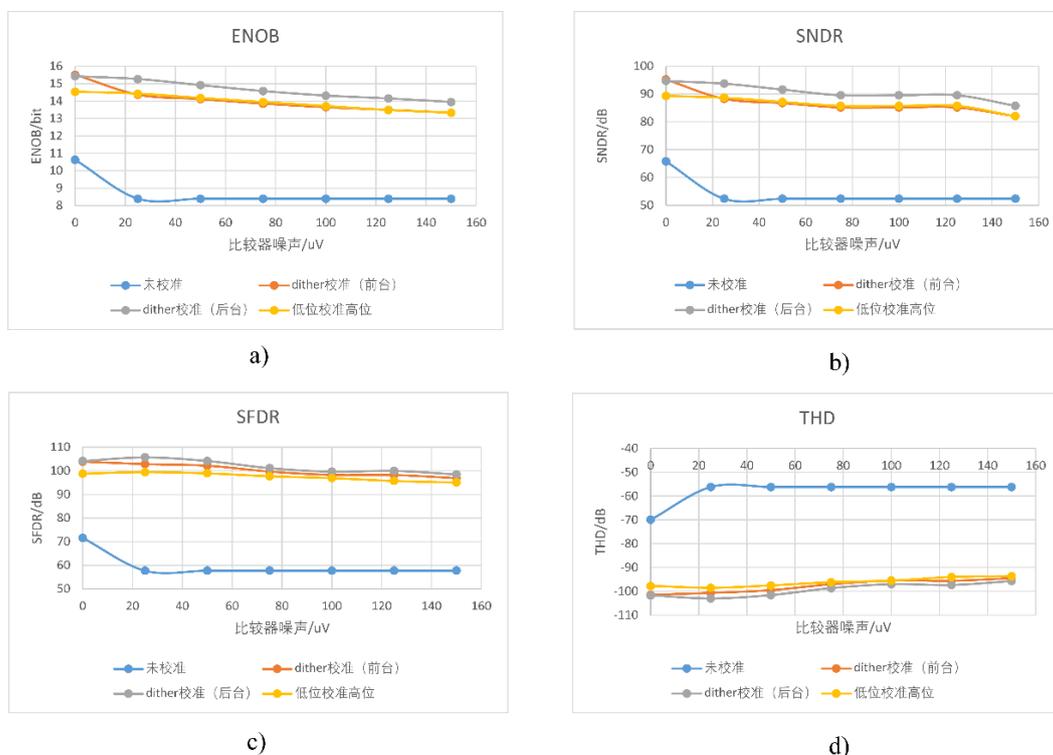


图 3-16 三种校准模块的校准效果仿真 (a)ENOB 随迭代次数的变化；(b)SNDR 随迭代次数的变化；(c)SFDR 随迭代次数的变化；(d)THD 随迭代次数的变化

在比较器噪声为 0 的情况下，基于扰动校准的数字前台与后台校准的校准效果几乎一致，ENOB 均可以达到 15bit 以上，SNDR 大于 94dB，显著优于低位校准高位的校准算法，且如 3-16(c)和(d)所示，其谐波失真也优于低位校准高位的算法。但当比较器噪声达到 $25\mu\text{V}$ (即 0.5LSB)时，基于扰动注入的数字前台校准受到量化噪声影响严重，ENOB 跌至 14.37bit，SNDR 跌至 88.28dB，基本与低位校准高位的算法持平，但基于扰动注入的数字后台校准效果显著最优，维持在 ENOB=15.27bit，SNDR=93.71dB。当比较器噪声继续增大，三者的校准效果都受到影响，但基本维持上述趋势。关于 SFDR，几乎在所有比较器噪声的情况下，基于扰动注入的 LMS 校准后台效果优于前台校准，再优于低位校准高位算法。

3.5 本章小结

本章首先介绍了高精度 SAR ADC 常用的 CDAC 技术，包含分段式电容阵列结构和 VCM_based 的开关切换策略，并介绍了电容失配导致权重误差的概念。随后，介绍了 3 种常用的数字校准算法，重点介绍了使用 LMS 算法校准的原理。之后，在此基础上搭建了本文的 16bits SAR ADC 的行为级模型，并分别配置 2 种校准算法。其中，对于基于扰动注入的 LMS 校准算法，分别搭建了前台与后台校准的行为级模型，故总共包含 3 种校准模块的比较。

首先，在 16bits SAR ADC 模型上部署基于扰动注入的 LMS 数字前台校准，综合考虑校准效果和校准速度选取了合适的收敛因子。随后，向 CDAC 中引入 3% 的电容失配和 2% 的寄生电容，比较三种校准模块在不同比较器噪声下的校准效果。对 100 次仿真结构取平均，得到结论：1.无比较器噪声时，基于扰动注入后台校准与前台校准一致，均优于低位校准高位；2.当比较器噪声标准差大于 0.5LSB 时，基于扰动注入的后台校准优于前台校准和低位校准高位；3.当比较器噪声标准差大于 0.5LSB 时，基于扰动注入的前台校准与低位校准高位的校准效果几乎一致。

4 16 位 SAR ADC 的校准设计与仿真结果

本文在行为级模型的基础上更进一步，在 16 位的 SAR ADC 电路上实现了模拟扰动的注入和相关时序控制电路的设计，实现了通过校准使能信号控制 ADC 在校准和正常转换阶段间切换的功能。由此，ADC 既可以工作在前台校准模式也可以工作在后台校准模式下。此外，将数字校准模块部署进一步在 FPGA 上，对 ADC 量化输出的数字码进行校准。最终给出 16 位 SAR ADC 的总体仿真结果与校准效果分析。

4.1 数字校准的 FPGA 硬件实现与测试

在 3.4 节中，实现了基于扰动注入的 LMS 数字校准算法的行为级算法，为了进一步地验证校准算法的可行度并分析硬件开销，将校准算法部署在 FPGA 上，进行功能验证。

对于使用 LMS 算法的数字校准算法，由于算法在数字端实现，绝大部分研究不采用片上实现的方式。查阅国内相关硕士论文发现，一种使用 3 通道 Split ADC 结构，针对于 ADC 的三模冗余的抗辐射校正技术只进行了 MATLAB 的行为级验证^[12]；此外，一种 12 位 C2C+CBW 混合型 SAR ADC^[14]在行为级验证了基于扰动注入的 LMS 数字校准算法，但是在最终的前仿报告中没有引入电容失配，因此在前仿中没有对校准功能进行验证；一种两步式的 16 位 SAR ADC^[15]在前仿中验证了基于数字扰动注入的 LMS 数字校准方法，但是并没有提及校准模块的实现方式，其在不加瞬态噪声的情况下，可以将 SAR ADC 的 ENOB 校准至 15.78bits，在考虑瞬态噪声的情况下只能达到 14.02bits，这是因为瞬态噪声限制了整个 ADC 可以实现的精度。

查阅期刊与会议发现，最早提出使用扰动注入辅助 LMS 算法的校准的 Liu Wenbo 团队只在软件端部署了校准算法，通过传入基于 0.13 μm 工艺的 12bit SAR ADC 的数字码进行校准，他们的结果发表于 2011 年的 JSSC^[4]；同年的 TCAS-I 上，John A. McNeill 团队首次在 SAR ADC 部署了使用 Split ADC 结构的 LMS 数字校准算法，校准模块部署在 MATLAB 中^[2]；在 2018 年的 ISSCC 中，ADI 的团队提出了一种使用 LMS 后台校准的 20bits 1MS/s SAR ADC，校准模块部署在 FPGA 上，在最终在 MATLAB 上评估^[5]；在 2022 年的 JSSC 中，Zhang Qihui 团队提出了一

种三阶噪声整形的 13bits SAR ADC，并在 FPGA 上部署了 LMS 校准算法^[28]；清华大学在 2023 年提出了使用 Split ADC 结构部署 LMS 校准算法的 18bits Pipelined SAR ADC，最后在 MATLAB 的行为级上部署了所提出的 ADC 和校准模块，没有进行电路级别的验证^[6]；2023 的 TCAS-II 中，Du Zihao 团队提出了一种优化过的串行双转换的 LMS 数字校准，通过优化开关的切换提升了 LMS 算法的收敛速度，最终将该前台校准方案部署在软件端，对 16 位 SAR ADC 进行校准^[7]。

在上述的文献中，没有团队采用片上部署的方式实现 LMS 算法数字校准，原因在于数字校准优势就是便于在数字端部署，在 MATLAB 或 FPGA 中部署可以节约大量的数字电路与版图的设计时间。本文最终选择与 2018 年的 ISSCC 中 ADI 团队相似的验证方法：在 FPGA 中部署数字校准模块并将校准后的数字码导入 MATLAB 对校准效果进行评估。

4.1.1 基于扰动注入的数字前台校准的 FPGA 部署

FPGA 的工程结构如图 4-1 所示：



图 4-1 基于扰动注入的数字前台校准的 FPGA 工程模块

ADC 的数字码导入 FPGA 后，存入 rom IP 核，这样的存储方式便于测试：既可以测试 MATLAB 行为级模型的 ADC 的失配校准，又可以对电路级的 ADC 的失配校准。

LMS_cali 中是使用 LMS 算法校准 ADC 电路的代码实现。在重置(rst)阶段，初始化了 ADC 的 18 位权重的初值，即权重的理想值。LMS 模块的输入是校准阶段产生的数字码，在模块内进行权重的迭代，并最终输出完成迭代的权重。LMS 算法的具体参数选择由行为级模型的仿真结果确定，仿真过程详见章节 3.4.1 和 4.4，为了兼顾 LMS 算法的收敛速度和校准精度，在误差允许范围内选择了较大的收敛

因子, 即 $u=2^{-17}$; 由于在收敛因子和校准信号相同的情况下, LMS 算法的收敛速度与扰动的注入大小呈正比, 在行为级模型中和电路的设计中选择了较大的扰动注入量, 即单周期注入 2048LSB 大小的扰动。

工程中使用了一个时钟分频器用于生成 4 个频率的时钟, 这四个时钟的设计与电路中的控制信号设计相对应, 反映了正负扰动注入的时机。

工程使用了 2 个 rom 记录数字码, 其中, Din_dither 的作用是存储校准阶段产生的数字码。根据图 3-13 的行为级仿真结果, 当选择单周期注入扰动=2048LSB, 收敛因子 $u=2^{-17}$ 时, 经过 65536 次迭代后 LMS 算法完成收敛, 将最后一次迭代得到的权重作为新的权重, 即可改善系统的精度。由于每次迭代需要使用对正负扰动注入后进行量化得到的两个数字码, 设定 Din_dither 存储 131072 个数字码。Din_aftercali 中则记录了 ADC 对满摆幅的、接近奈奎斯特频率的正弦波输入的 128 个量化点, 用于测试校准效果。

工程使用了 3 个 FPGA 上的用户按钮, 其中一个按钮接入工程的 rst 信号作为置位信号, 一个按钮接入工程的校准使能信号 EN_Cali, 一个按钮接入工程的转换使能信号 EN_trans。这两个使能信号传入按键消抖模块, 输出稳定的阶跃信号。

ILA IP 核是 FPGA 的在线调试工具, 用于抓取 FPGA 的内部信号, 此处使用 ILA 抓取最终的输出信号与相关的触发信号。

工程架构如图 4-2 所示。首先将 Din_dither rom 中的 131072 个数字码传入 LMS 模块进行校准, 完成校准后, LMS 模块输出高电平的 FIN 信号标志着校准的完成, 输出校准后的 18 位权重。当检测到 FIN 和转换使能信号 EN_trans 同时为高时, 取出 Din_aftercali 的 128 位数字码, 与校准得到的权重相乘得到 20 位输出 adout, 导入 MATLAB 进行 FFT, 验证校准效果。

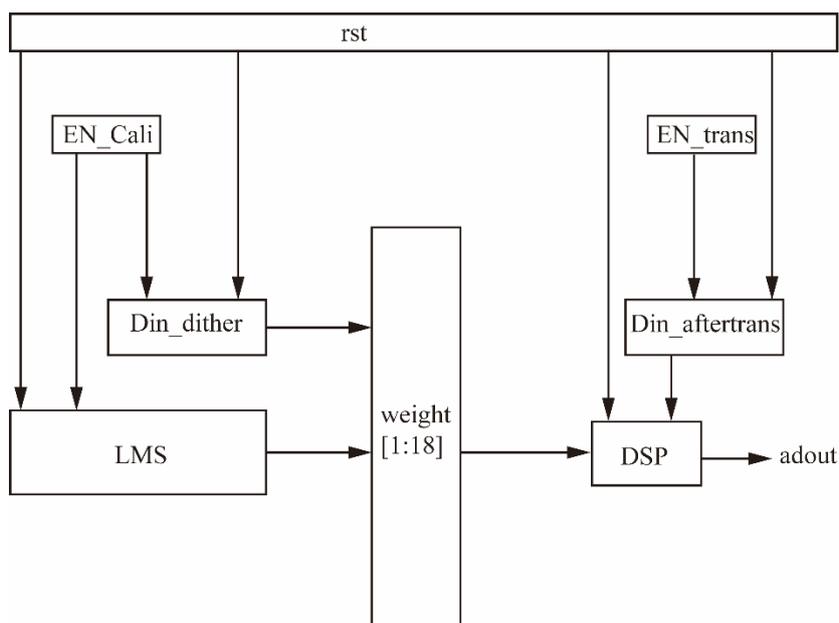


图 4-2 FPGA 工程架构

使用的 FPGA 型号为 AX7020, 为 ALINX 的 xc7z020clg400-2 芯片, 有 400 个 IO 端口, 53200 个 LUT 单元, 106400 个 FF, 140 个 Block RAMS, 220 个 DSPS。本工程的硬件开销如下:

Resource	Utilization	Available	Utilization %
LUT	10564	53200	19.86
LUTRAM	621	17400	3.57
FF	6319	106400	5.94
BRAM	66.50	140	47.50
DSP	186	220	84.55
IO	4	125	3.20
MMCM	1	4	25.00

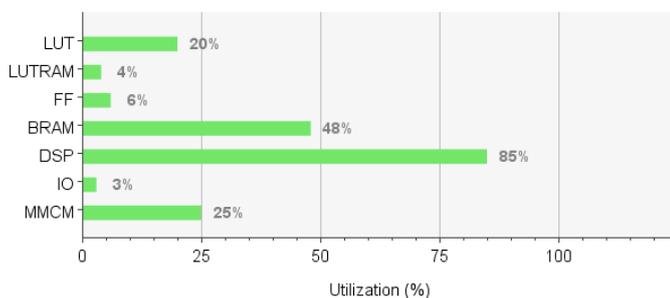


图 4-3 FPGA 硬件开销

其中, LMS 算法主要调用了 DSP 单元进行累加等计算操作。BRAM 的开销主要是 ILA 调试工具, 并非由 LMS 算法调用。MMCM 被调用以产生内部时钟。工程的功耗情况如图 4-4, 其中, MMCM 单元被用于产生高频的时钟, 消耗了大部分的功耗。

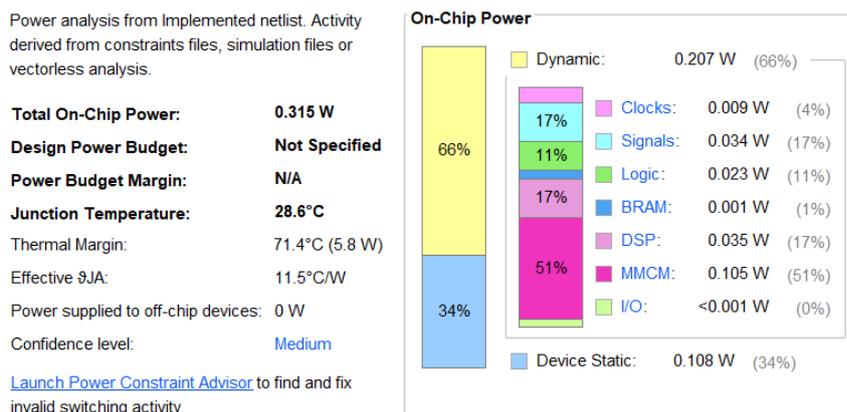
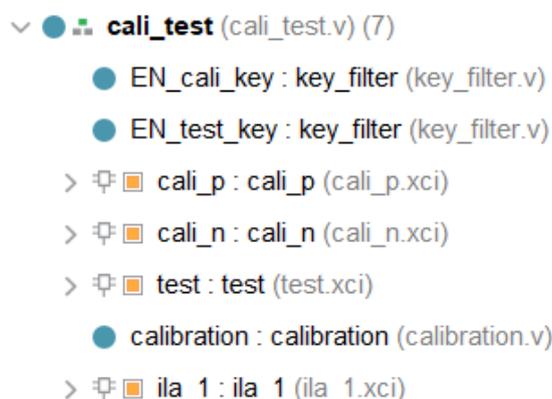


图 4-4 FPGA 功耗分布

4.1.2 低位校准高位的前台校准算法的 FPGA 硬件实现

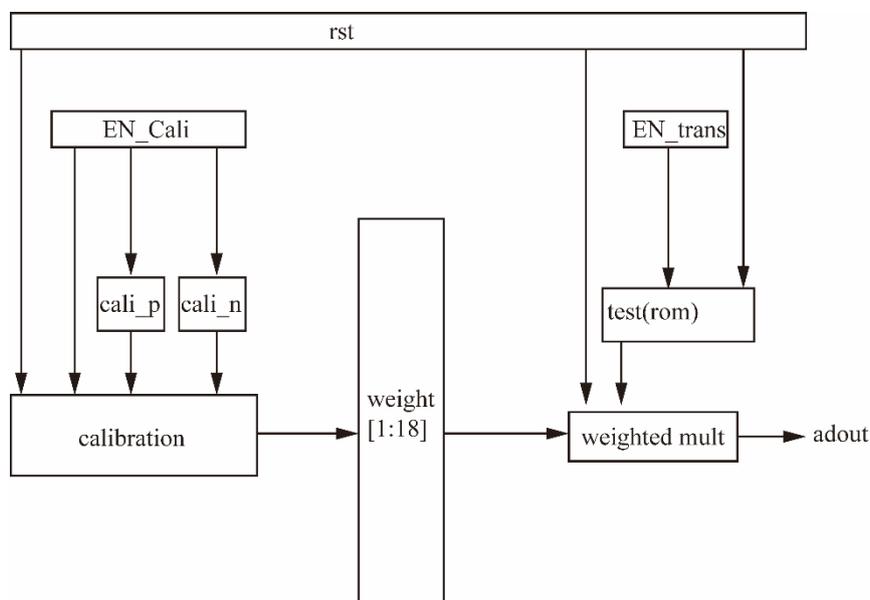
为了与基于扰动注入的 LMS 算法进行校准效果和硬件开销的比较，在 FPGA 上部署低位电容校准高位的数字前台校准。具体的算法在章节 3.4.3 已经进行介绍。对于前述的 16 位 SAR ADC，将 LSB 段的电容视为理想电容，校准 MSB 段的 11 位电容的权重。对于每一位权重，根据式(3-10)和(3-11)，每次校准需要得到两组数字码。除此之外，为了减小量化噪声对校准的影响，对每一位权重进行 16 次校准，取平均值作为最终的权重。



4-5 FPGA 工程设计

大致的工程结构与基于扰动注入的数字前台校准模块类似，使用 rom 存储用于校准的数字码与用于测试的数字码。此处使用了 cali_p 和 cali_n 两个 rom 分别存储被校准位置 1 和置 0 时产生的数字码，简化了时序控制。test rom 中存储了 ADC 对满摆幅的、接近奈奎斯特频率的正弦波输入的量化点用于测试校准效果，可以根据需求设定 128、1024 或更多点数。Calibration 模块是校准算法的实现，传

入被校准位置 1 和置 0 得到的数字码，输出 16 次校准取平均值得到的新权重，并将该权重运用于对下一位的校准中。同样使用 ILA 在线调试工具抓取最终的输出 `adout`；同样将 `rst`, `EN_cali`, `EN_trans` 三个控制信号与 FPGA 的用户按钮相连。具体的工程架构框图如图 4-6。



4-6 FPGA 工程架构

为了与基于扰动注入的数字前台算法比较硬件开销，同样使用 ALINX 的 `xc7z020clg400-2` 芯片，本工程的硬件开销如图 4-7：

Resource	Utilization	Available	Utilization %
LUT	5188	53200	9.75
LUTRAM	661	17400	3.80
FF	5724	106400	5.38
BRAM	16.50	140	11.79
IO	4	125	3.20

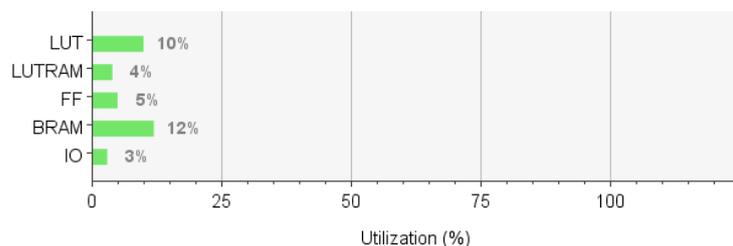


图 4-7 FPGA 硬件开销

首先，由于低位校准高位的校准算法只涉及简单的加减运算，并且不涉及高迭代次数的累加计算，在算法层面比 LMS 算法简单许多。除此之外，LMS 算法由于收敛因子选取大小为 2^{-17} ，在进行权重校准时可以拟合到权重的小数位，事实上，

在工程中使用了 q18.36 的定点数格式表示权重的信息，而使用低位校准高位时则无法拟合到权重的小数位，因此计算时使用的数据位宽远小于 LMS 算法，综上，低位校准高位的数字前台校准的硬件开销远小于基于扰动注入的 LMS 数字前台校准算法。与之对应，如图 4-8 所示，在不考虑 LMS 校准中由于分频时钟调用的 MMCM 带来的非算法功耗消耗，低位校准高位的功耗也远低于 LMS 校准的功耗。

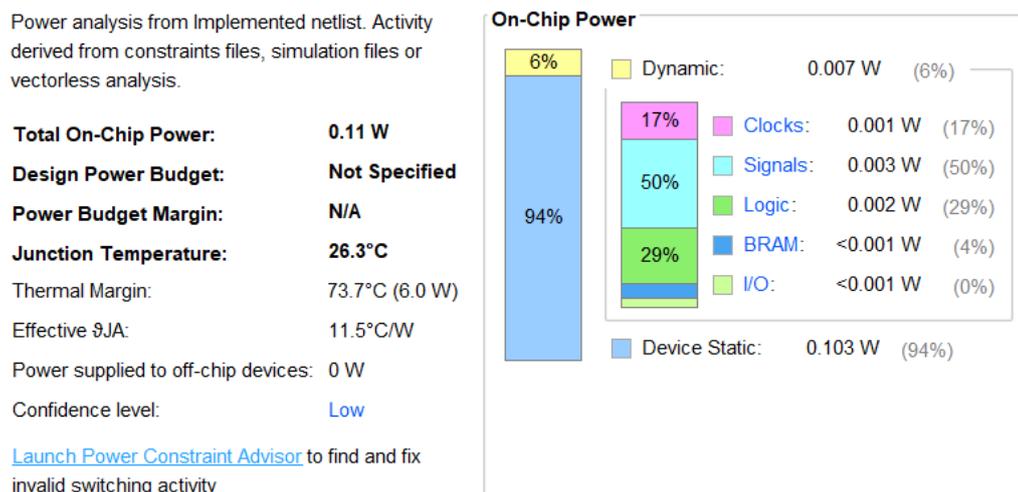


图 4-8 FPGA 功耗分布

4.1.3 FPGA 校准效果对比

此处的 FPGA 校准效果的比较包含两个维度：基于扰动注入的数字前台校准与低位校准高位的数字前台校准的对比；部署在 FPGA 上的校准效果和部署在 MATLAB 上的校准效果的对比。

相比于章节 3.4.4，在 FPGA 上部署的校准算法能更加真实的反应实际校准效果，不过由于在 FPGA 上，单次测试时间远高于 MATLAB 上的测试，无法做出如图 3-15 的大量仿真结果绘图。此处选取的单个测试条件进行测试，比较 FPGA 上的校准结果相对于 MATLAB 上的校准结果的损耗，由此，可以参考行为级上校准模块的结论预估 FPGA 上校准模块在不同测试情况下的性能。

4.1.3.1 基于扰动注入的数字校准模块

测试流程如图 4-9，使用章节 3.4.1 介绍的 16 位 SAR ADC MATLAB 模型，设置非理想因素如下：为单独验证电容权重的校准效果，不开启比较器的失调与噪声，不开启 kT/C 噪声；开启电容的失配，设定失配标准差 3%，设定 alfa 底板和 beta

顶板到地的归一化寄生电容为 2%。输入 60.852kHz，98%量程的单频正弦波进行测试。



图 4-9 FPGA 校准模块测试流程

与行为级的校准模块不同，部署在 FPGA 上需要考虑输出的小数截断问题，这也是 FPGA 上部署该校准模块相对于 MATLAB 的主要校准性能损耗。如前文所述，使用 LMS 算法对权重进行拟合，可以精确到小数位，因此在工程内的 LMS 算法模块用 q18.36 的定点数格式表示权重。在完成校准后，得到 q18.36 格式的新权重，与测试的 128 组数字码加权相乘，得到用于 FFT 的“模拟”输出量 adout。若不进行截取，则需要 adout 位宽大于 50，不具有实用价值。因此，通过对最终的输出 adout 进行截取，可以得到 20 位以内的纯二进制码数字输出，在保证 LMS 算法的精度同时，减小了输出的位宽。图 4-10 体现了对最终输出 adout 进行不同位数的截取时，校准的效果。

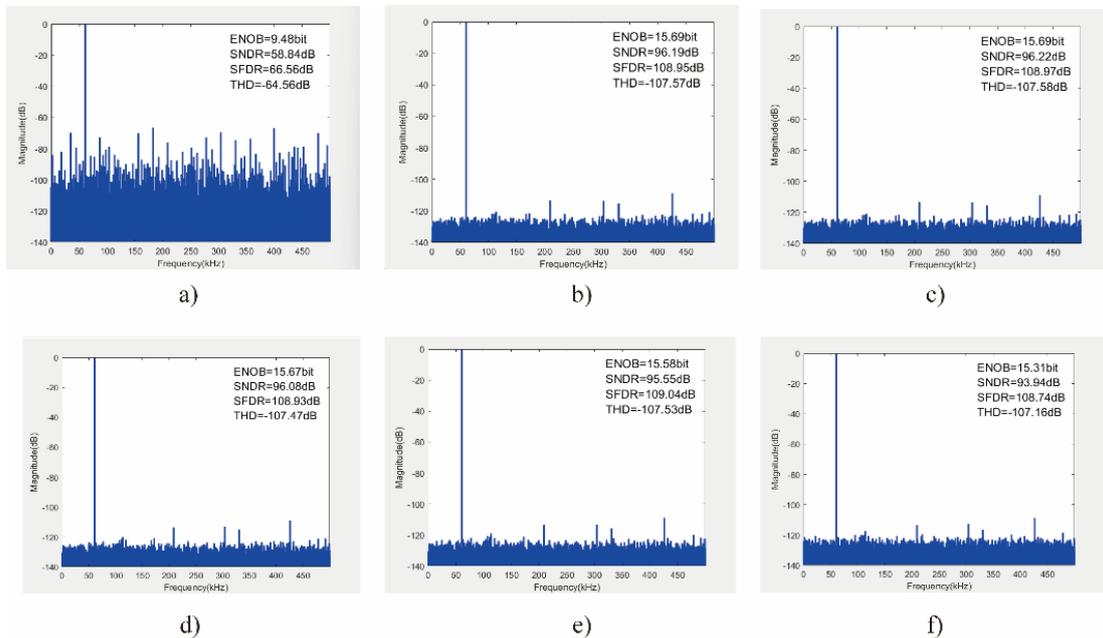


图 4-10 不同截取位数下的校准效果 (a)校准前；(b)MATLAB 校准结果；(c)54 位数字输出；(d)20 位数字输出；(e)19 位数字输出；(f)18 位数字输出；(g)17 位数字输出；(h)16 位数字输出

首先，在对输出是不进行截取的时候，54 位的输出相对于 MATLAB 的算法实

现,校准效果几乎没有损耗,这是因为在计算过程中,没有对校准后的权重进行截取,只是对最终数字码与权重的加权相乘结果进行了截取。由于输出采用纯二进制码,当输出位宽为 20 时,包含了 4 位小数,相对于 54 位宽输出的校准效果几乎没有损耗。但当输出位宽为 16 时,输出不包含小数信息,因此 ENOB 下降至 15.31bits。在最终的应用中,选取 18 位或 17 位输出都可以取得较为理想的结果。

4.1.3.2 低位校准高位的数字校准模块

测试流程如图 4-11,使用相同的 16 位 SAR ADC MATLAB 模型,设置相同的非理想因素如下:为单独验证电容权重的校准效果,不开启比较器的失调与噪声,不开启 kT/C 噪声;开启电容的失配,设定失配标准差 3%,设定 alfa 底板和 beta 顶板到地的归一化寄生电容为 2%。输入 60.852kHz, 98%量程的单频正弦波进行测试。

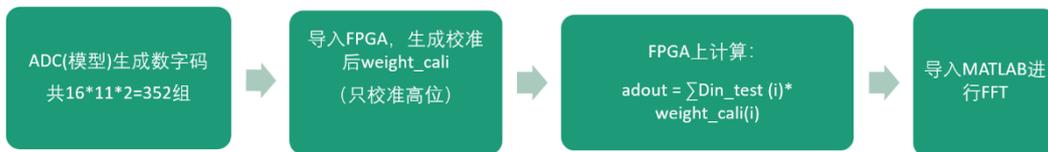


图 4-11 FPGA 校准模块测试流程

测试流程与前文所述的类似,使用 ADC 模型生成校准码,导入 FPGA 进行校准后,将校准得到的权重与测试的 128 组数字码加权相乘,得到用于 FFT 的输出量 adout。测试结果如图 4-12,由于低位校准高位的算法无法拟合权重精确至小数位,工程不涉及小数位的截取,因此相对于 MATLAB 的实现没有损耗。

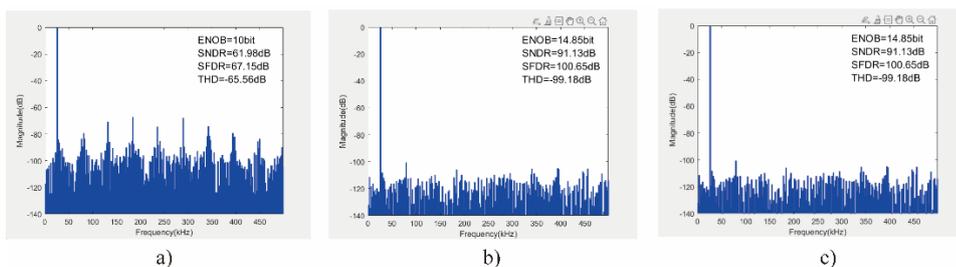


图 4-12 低位校准高位算法校准效果 (a)校准前; (b)MATLAB 校准结果; (c)FPGA 校准结果

4.1.3.3 结论

综合上述的 FPGA 校准结果,我们可以得到以下结论:

- 1.对于基于扰动注入的 LMS 数字前台校准算法,当选取保留 1-3 位的小数位

输出时，FPGA 上的校准效果相比于 MATLAB 上的校准算法实现几乎没有损耗。

2.对于低位校准高位的数字前台校准算法，FPGA 上的校准效果相比于 MATLAB 上的校准算法实现没有损耗。

3.对于硬件开销，前者的由于算法的复杂度更高、中间数据的位宽更高，硬件开销显著高于后者。

由于两者的 FPGA 硬件实现的校准效果相比于 MATLAB 上的实现，都几乎没有损失，参考章节 3.4.4 的仿真结果，对于两者的硬件实现，可以预估：当比较器噪声为 0 时，基于扰动注入的 LMS 数字前台校准算法的校准效果显著高于后者；但是随着比较器噪声的增加，两者的校准效果逐渐趋近，在比较器噪声标准差达到 0.5LSB 后，校准后得到 SNDR 指标几乎一样，但前者的 SFDR 指标更为优秀。

考虑基于扰动注入的 LMS 数字后台校准算法，由于相比于前台校准在 FPGA 上的实现几乎没有区别，在算法上只是多了一个步骤：对两次量化的结果取平均值，因此，参考章节 3.4.4 的仿真结果，可以预估：当比较器噪声为 0 时，基于扰动注入的前台与后台校准的校准效果几乎一样，均优于低位校准高位。但是随着比较器噪声的增加，基于扰动注入的后台校准显著优于其余两种校准算法，原理已在章节 3.4.4 中详细解释。

综上，本章选取基于扰动注入的数字校准算法进行电路级实现。

4.2 基于扰动注入的 16 位 SAR ADC 的整体电路设计

首先介绍 ADC 电路的整体结构与原理，结构如图 4-1 所示，此电路包含一个两段式 CDAC 阵列，其中包含 2 个冗余位与 2 个额外电容用于注入扰动。电路的设计精度为 16bits，前台校准模式下采样率为 1MS/s，后台校准模式下采样率为 500KS/s 电源电压为 3.3V，由于冗余位的引入最终输出 18 位数字码。电容的切换方式采用 V_{cm_based} 策略，电容的下极板接入参考电压 V_{cm} , V_{ref} , GND 和输入信号，上极板通过开关与 V_{cm} 相连。扰动电容的控制信号通过对主时钟进行分频后，经过逻辑门生成。比较器包含用于电压预放大的前置运放和锁存器。电路采用异步 SAR 逻辑，通过上一位判决的结束信号控制比较器进入下一次判决。本论文的模拟电路部分的主要工作为在原有的 16 位 SAR ADC 实现扰动的注入，为此修改了 CDAC 模块和 ADC 的整体时序控制。

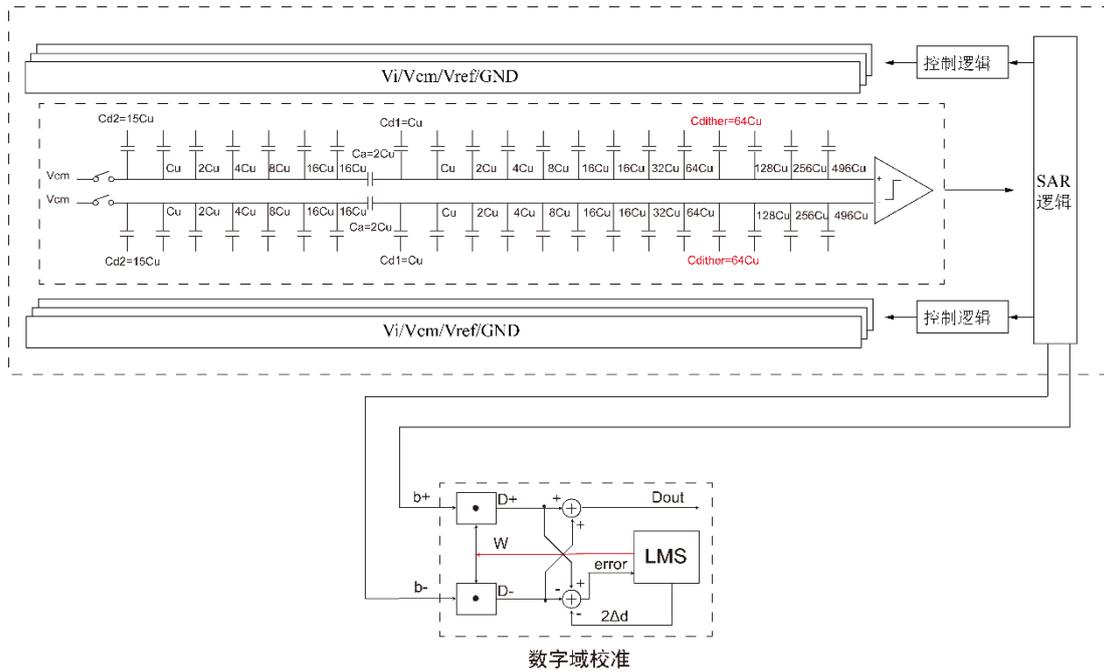


图 4-13 16 位 SAR ADC 的整体架构与数字校准设计

对于之前提出的基于扰动注入的数字校准算法，SAR ADC 在校准阶段的控制时序则如图 4-14 所示。

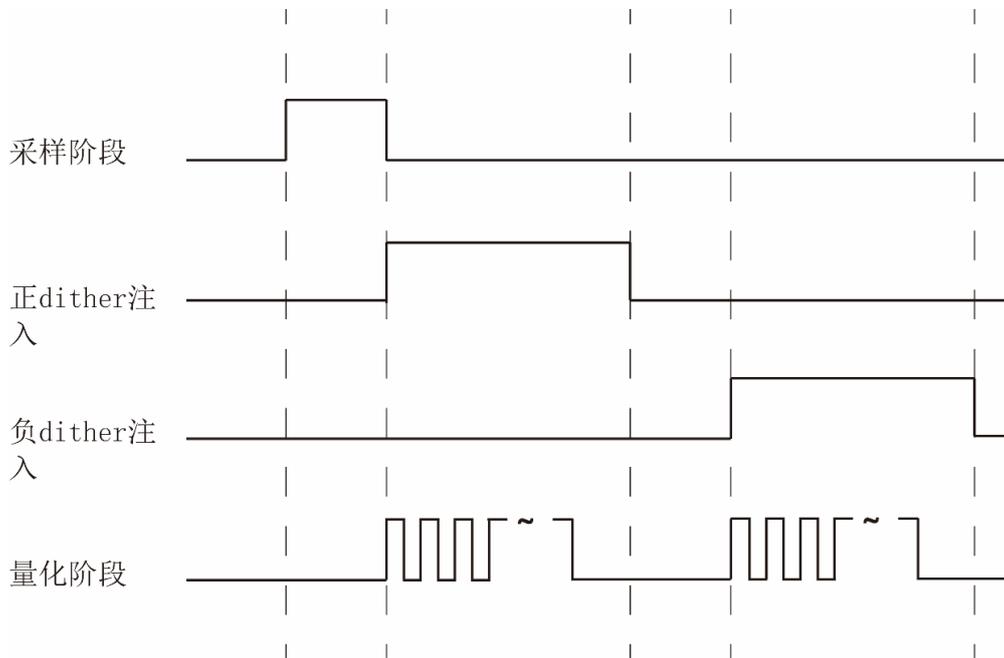


图 4-14 16 位 SAR ADC 校准阶段整体时序

1. 在校准阶段，每一个工作周期的长度是正常量化周期的两倍。数字逻辑产生原采样率 1/2 频率的采样信号控制采样开关。此时，ADC 的采样率减小到 500KS/s。

2. 完成采样后，进入第一个量化周期，此时通过扰动电容向 CDAC 进行正扰

动的注入,随后开始进行量化。每次比较完成后,根据比较器的输出按照 V_{cm_based} 的开关切换策略决定下一位的开关切换,直至完成所有位的判决。

3.完成第一次量化后,在 ADC 的原第二个采样周期不进行采样,采样开关不进行闭合,采样电容中的电荷不释放。

4.进入第二个量化周期,通过切换扰动电容下极板开关的方式向 CDAC 进行负扰动的注入,随后开始进行量化。每次比较完成后,根据比较器的输出按照 V_{cm_based} 的开关切换策略决定下一位的开关切换,直至完成所有位的判决。

重复上述的步骤,可以在数字输出端得到同一个输入信号的两次量化结果,在数字端通过 LMS 算法对 SAR ADC 的权重进行校准,在完成了充分的迭代后,LMS 算法实现收敛,由此得到了对真实权重的拟合结果。若要进行后台校准,则需要使 ADC 一直工作在上述的校准阶段。由于后台校准对相同的 ADC 输入信号进行了两次量化,对两次的量化输出求均值可以消除两次量化注入的正负扰动,并且降低采样时 kT/C 噪声的影响与量化噪声的影响。

4.3 CDAC 设计与校准电路设计

包含扰动电容的 CDAC 具体结构如图 4-15:

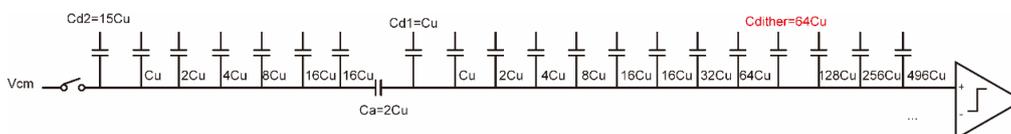


图 4-15 CDAC 结构

如前文所述,在高精度 SAR ADC 的设计中通常使用分段式电容阵列以减小 CDAC 的面积,此处采用二分段的形式,高段包含 11 个位电容,大小为[496 256 128 64 32 16 16 8 4 2 1]个单位电容,低段包含 6 个位电容,大小分别是[16 16 8 4 2 1]个单位电容。桥接电容 C_a 的大小是 2 个单位电容,高段的 dummy 电容为 1,低段的 dummy 电容为 15。两段选用相同的单位电容,大小为 30.0244fF。一次判决产生 18 位数字码,包含两位冗余位。

根据前文关于分段式 CDAC 的线性化设计介绍,两段相邻位数的跳变电压必须满足二进制分布,即:

$$dV_{o1} = 2dV_{o2} \quad (4-1)$$

$$\frac{kC_u(C_a + C_{Ll})}{C_{Mt}(C_a + C_{Ll}) + C_a C_{Ll}} \cdot V_{ref} = \frac{2^{L-1} C_a C_u}{C_{Mt}(C_a + C_{Ll}) + C_a C_{Ll}} \cdot V_{ref} \quad (4-2)$$

由于高段的寄生电容不影响 ADC 系统的线性度, 只会影响 DAC 的增益误差, 而 ADC 的增益误差只取决于参与采样的电容与接入参考电容之比, 故通常会在高段增加 $C_{d1}=kC_u$, 并令其参与采样(k 为高段和低段单位电容的比值)。如此, 可以使得低段电容不参与采样, 降低 ADC 的输入电容。而低段 C_{d2} 的引入则是为了满足上式, 使两段相邻位数的跳变电压满足二倍关系。

由于采用了分段式电容阵列, 非理想因素对系统线性度的影响更加复杂。首先, 位电容的失配会带来电容权重偏离理想值, 这是分段式与非分段式 CDAC 共同的非线性影响因素。

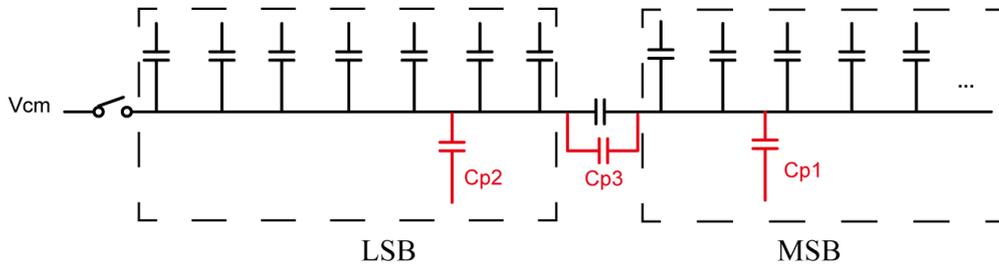


图 4-16 CDAC 寄生电容分析

在 MSB 段的最低位和 LSB 段的最高位输入幅度为 V_{ref} 的阶跃, 得到的 DAC 输出改变量为:

$$dV_{O,MSB} = \frac{kC_u(C_a + C_{p3} + C_{Ll} + C_{p2})}{X} \cdot V_{ref} \quad (4-3)$$

$$dV_{O,LSB} = \frac{2^{L-1}(C_a + C_{p3}) \cdot C_u}{X} \cdot V_{ref} \quad (4-4)$$

$$X = (C_{Mt} + C_{p1})(C_a + C_{p3} + C_{Ll} + C_{p2}) + (C_a + C_{p3})(C_{Ll} + C_{p2}) \quad (4-5)$$

如前文所述, MSB 段最低位和 LSB 段的最高位的 V_o 输出改变量需要满足二进制分布, 由此可以计算权重误差:

$$\frac{dV_{O1} - 2dV_{O2}}{2dV_{O2}} = \frac{k(C_a + C_{p3} + C_{Ll} + C_{p2}) - 2^L(C_a + C_{p3})}{2^L(C_a + C_{p3})} \quad (4-6)$$

为了满足两段的线性化设计, 令 $k(C_a + C_{Ll}) = 2^L C_a$, 故有:

$$\frac{k(C_{p2} + C_{p3}) - 2^L C_{p3}}{2^L(C_a + C_{p3})} \quad (4-7)$$

由此可知 MSB 段的 dummy 电容 C_{d1} 与寄生电容 C_{p1} 并不会对系统的线性度造成影响。但是低段的寄生电容 C_{p2} 和桥接电容的寄生 C_{p3} 会对权重缩放因子造成影响，故对低段的所有位的权重以相同的比例（缩放因子）偏离理想值，因而造成两段间的权重失配。

扰动的注入通过两个扰动电容实现。如图 4-2 的时序，ADC 工作在前台校准模式时，首先完成一次采样，将采样得到的信号进行两次量化：第一次在采样的信号 V_i 插入正扰动后进行量化，得到，第二次在采样的信号 V_i 插入负扰动后进行量化，两次量化得到的数字码导入校准模块进行校准。

为了在模拟域中加入扰动，在 CDAC 中正端与负端分别增加了一位电容。在采样阶段，扰动电容的下极板接入 V_{cm} ，不参与采样；在转换阶段，若需要引入负扰动，P 端的扰动电容接入 V_{ref} ，N 端的扰动电容接入 GND；若需要引入正扰动，P 端的扰动电容接入 GND，N 端的扰动电容接入 V_{ref} 。由此，实现了对相同的输入信号进行正负扰动注入的功能。

4.4 模拟扰动注入对校准效果的影响

4.4.1 扰动注入大小

扰动电容的大小直接影响到扰动注入量的大小，从而影响 LMS 算法的收敛速度。在相同的收敛因子下，在上述 CDAC 的 MSB 段中插入大小为 64 个单位电容和 32 个单位电容大小的扰动电容，在 MATLAB 行为级模型中进行数字校准，观察扰动大小对 LMS 算法收敛速度的大小的影响，结果如图 4-17。在开启了 3% 的电容失配的情况下，可以观察到扰动大小越大，LMS 算法的收敛越快，这与 Liu Wenbo 组的仿真结果一致^[4]。但是过大的扰动注入会显著地降低 ADC 在工作在后台校准模式下的量程，因此，在本设计中以向 MSB 段中插入大小为 64 个单位电容的方式注入模拟扰动，单次扰动注入的大小为 2048LSB。

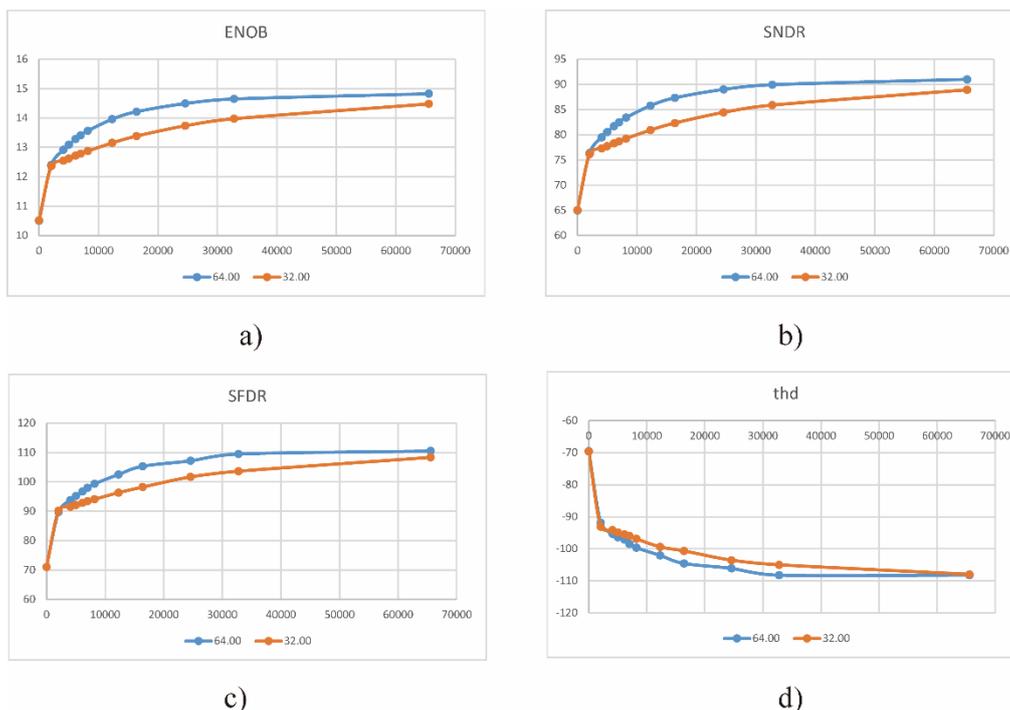


图 4-17 不同扰动注入大小的校准效果仿真 (a)ENOB 随迭代次数的变化; (b)SNDR 随迭代次数的变化; (c)SFDR 随迭代次数的变化; (d)THD 随迭代次数的变化

4.4.2 扰动注入的随机性

近年来, 关于扰动注入的方式更为多样, 如^[15]采用了一种数字扰动注入的方式, 但是在模拟方面的开销更大, 也有^[5]使用一种随机化扰动注入的方式, 但是, 单纯从校准效果方面考虑, 提升并不明显, 但是能用于校准的信号种类增多了。下面将从 LMS 算法本身出发, 讨论扰动的随机化注入对校准效果的影响。

目前常见的使用 LMS 的数字校准方式包含: 1.基于 Split ADC 的 LMS 校准算法; 2.基于模拟扰动的 LMS 校准算法。如前文所述, LMS 算法要求码矩阵是非奇异矩阵, 但传统的 Split ADC 结构在部署 LMS 校准算法上有点劣势:

1. 由于对同一个输入信号用两个子 ADC 量化的方式, 两个 ADC 的量化输出差值较小, 矩阵迭代的算法收敛性就不是特别好。

2. 当两个子 ADC 的电容失配相同时, ΔD 将始终为零, 此时原始矩阵为奇异矩阵, 无法求得 ADC 实际权重, 对 LMS 算法则表现为校正停止, 但实际上两个 ADC 的权重均未被校正。

如前文所述, 针对当前存在的问题, 大致有两种解决思路:

1.在 Split ADC 中引入伪随机逻辑, 改变 CDAC 的工作状态。

2.两次转换引入微小扰动量，保证了原始的校正矩阵的非奇异性。

实际的电路中通常通过电容注入扰动，其中最基础的设计即在电容阵列的 P 端和 N 端各加入一个扰动电容，通过电荷重分配注入扰动。在这种情况下，注入的扰动的大小为固定值。在这种设计下，关于“随机化注入扰动”的讨论被限制在“是否需要随机正负地注入扰动”。

常见的扰动注入采用正反切的注入形式，即：第一次注入正扰动，第二次注入负扰动，将两次量化结果相减，得到权重误差的信息，从而带入 LMS 算法进行迭代：

$$W_i(n+1) = W_i(n) - uw \cdot err(n) \cdot (b_{i+}(n) - b_{i-}(n)) \quad (4-8)$$

带入 err，有：

$$W_i(n+1) = W_i(n) - uw \cdot (D_+(n) - D_-(n) - 2\Delta d) \cdot (b_{i+}(n) - b_{i-}(n)) \quad (4-9)$$

根据式 4-9，随机化地注入过程在算法上没有体现，故随机正负地注入扰动对迭代过程没有影响，因此可以采用固定的扰动注入顺序实现校准。

结束关于扰动注入顺序对校准效果的讨论，我们还需要探讨扰动注入量的大小随机化对校准的影响，这必须回归 LMS 算法的原理。简单来说，用于校准的输入信号的相关性越高，LMS 算法的收敛速度越慢。当 ADC 工作在前台校准模式下，若输入的信号是单频的正弦信号，其收敛速度会慢于随机信号或带一定噪声的正弦信号。这一点可以在使用了 Split ADC 或扰动注入的 LMS 数字校准算法的论文测试结果中体现：

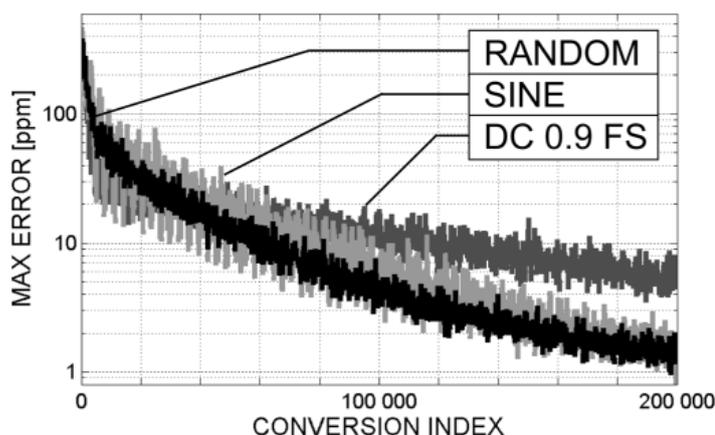


图 4-18 不同校准信号下的 LMS learning curve^[2]

图 4-18 为使用了 Split ADC 结构的 LMS 数字校准算法的误差与迭代次数的关系图，反应了算法的收敛速度。该论文使用了直流信号、正弦信号和随机信号作为

输入信号测试相关性对于 LMS 算法收敛速度的影响。这三个信号中，按照相关性的高低排序为：直流、正弦信号和随机信号。在相同的转换次数下，使用随机信号作为输入信号的算法误差 err 收敛最快，而正弦信号最慢，由此证明了：信号的相关性与 LMS 算法的收敛速度呈负相关。

具体而言，LMS 算法与输入信号的自相关矩阵 $\mathbf{R}=\mathbf{E}[\mathbf{X}(n)\mathbf{X}^T(n)]$ 关系紧密，其收敛速度由 \mathbf{R} 的特征值 $(\lambda_1, \lambda_2, \dots, \lambda_N)$ 决定，并且由最小的特征值 λ_{\min} 主导。

由均方误差序列^[27]：

$$\xi_k \approx \xi_\infty + \lambda^T (\mathbf{I} - 4\mu\mathbf{R})^k (\mathbf{F}_0 - \mu\xi^* \mathbf{1}) \quad (4-10)$$

右边的第二项反应了第 K 次迭代时当前值与收敛值的偏差。由此可知，收敛速度与 μ 与 \mathbf{R} 矩阵的特征值分布相关。通常在单频情况下，自相关矩阵 \mathbf{R} 将具有一个明显的主特征值(表示该频率成分的能量)和若干接近零的特征值(表示噪声或其他频率成分的影响)。若输入为理想的单频正弦信号，则其主特征值会比较大，反映了该频率成分的主导作用，故收敛速度慢。

回归到扰动注入的讨论上，扰动随机大小的注入在本质上就是降低了输入信号的相关性，因此能够更快地收敛，并且由于引入了随机化，可以对使用直流信号校准。但是，若在模拟端实现随机大小的扰动注入，会造成更大的模拟开销，例如 CDAC 面积显著增大，数字控制信号也更为复杂。但是与固定大小扰动注入的校准算法相比，随机大小的扰动注入的校准的主要优势为收敛速度，校准效果并没有显著的区别。故本文采用了固定大小的扰动注入方案，并固定了正负扰动的注入顺序。

4.5 前台与后台校准模式切换

本文的模拟电路设计需要使 ADC 受控制信号控制，在前台校准工作模式下在校准模式和正常工作模式下切换，并可以在前台校准和后台校准工作模式下切换。具体的工作逻辑如下：

前台校准模式：

1. 采样率减半，完成一次采样后插入正负扰动进行两次量化，更新权重，不断重复该过程直至 LMS 算法收敛。
2. LMS 算法收敛后，回归正常的转换模式，取最后一次校准得到的权重作为新的权重，校准数字输出。

后台校准模式:

采样率减半, 完成一次采样后插入正负扰动进行两次量化, 更新权重, 从而校准数字输出, 最终的输出取两次量化结果的平均值 (消除扰动):

$$adout_1 = D_1 \cdot weight_current \quad (4-11)$$

$$adout_2 = D_2 \cdot weight_current \quad (4-12)$$

$$adout = \frac{adout_1 + adout_2}{2} \quad (4-13)$$

综合前台校准和后台校准模式, 可以发现 ADC 共需要两个工作模式:

1. 扰动注入模式: 时序如图 4-2 所示, 完成一次采样后进行两个周期的量化, 第一次插入正扰动后量化, 第二次加入负扰动后量化。

2. 正常量化模式: 同正常的 SAR ADC 时序, 一次采样后进行一次量化, 不进行扰动注入。

对于本电路的设计, 为了实现前台校准与后台校准的部署, 通过控制信号 EN_cali 使 ADC 可以在上述两种工作模式间切换, 而算法的不同则体现在数字端。

4.6 16 位 SAR ADC 整体仿真

对本文的 16 位 1MS/s 的 SAR ADC 进行整体仿真测试, 通过向 CDAC 中电容人为引入失配的方式, 验证基于扰动注入的 LMS 数字前台校准算法, 校准模块部署在 FPGA 上。在设计并验证了扰动注入的相关电路和校准的控制信号生成电路后, 对 16bits 1MSP/s 的 SAR ADC 进行整体仿真, 仿真没有引入瞬态噪声。

首先人为在 CDAC 中引入 3% 的电容失配, 输入满摆幅的 476.5625kHz 的正弦信号, 对输出信号进行 FFT 频谱分析。

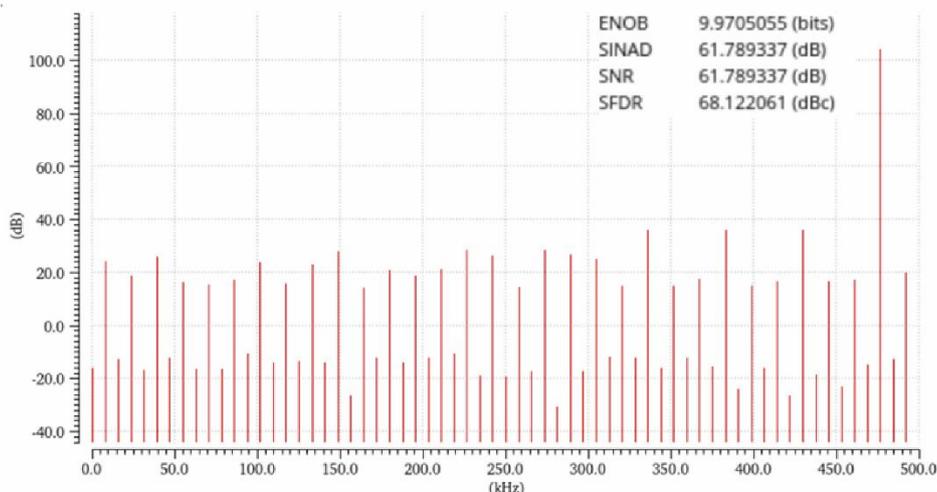


图 4-19 16bits SAR ADC 加入 3%电容失配的前仿结果

图 4-19 是 ADC 在 TT 下 FFT 频谱图。采样点数为 128，采样频率为 1MHz。此时有效位数为 9.97bits，SFDR=68.12dB，SNDR=61.79dB。

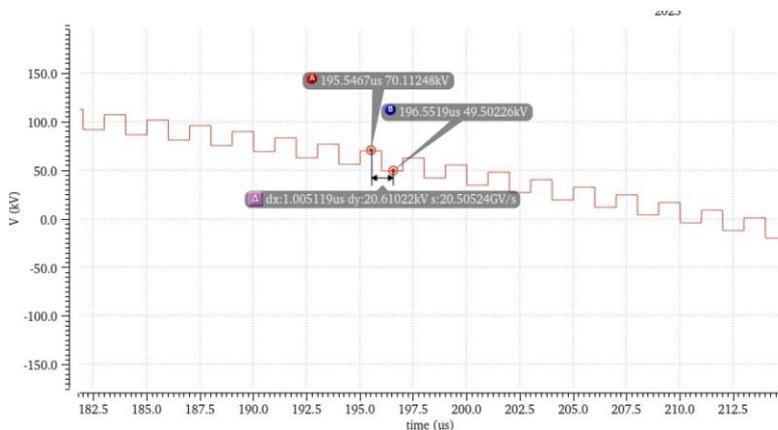


图 4-20 16bits SAR ADC 的扰动注入

对 ADC 的权重进行校准，输入为 $0.8V_{DD}$ ， 4.765625kHz 的正弦波信号作为校准信号。ADC 工作在校准模式下，每 $2\mu\text{s}$ 进行一次采样，分别插入正负扰动进行 2 次量化。如图 4-20，点 A 和点 B 是对相同输入信号的两次量化，由于扰动的注入，两次的量化结果不相同。为节省仿真时间，使用 4658 个采样点拼接为 131072 个样本点，在 FPGA 上使用 LMS 算法对权重进行 65536 次迭代。最终，向 FPGA 导入 128 个采样点的数字码，使用校准后的权重重新编码，输出 18 位数字码，导入 MATLAB 进行 FFT 分析。

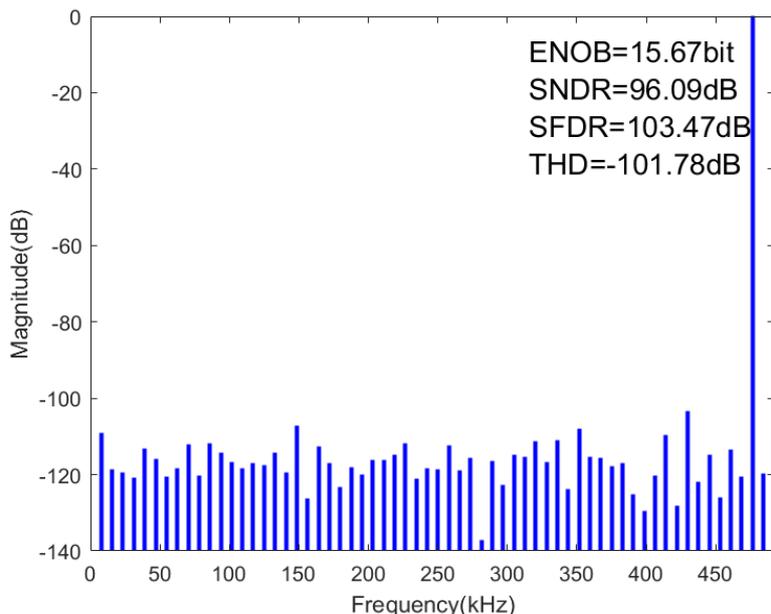


图 4-21 16bits SAR ADC 的校准输出

引入校准后，ADC 的性能显著提升，仿真性能从校准前的 9.97bits 提升至 15.67bits，提升了将近 6bits；SNDR 提升 35dB，达到 96.09dB；SFDR 提升 38dB，达到 103.47dB。前仿结果验证了校准算法的必要性与有效性。

4.7 本章小结

本章首先搭建了低位校准高位的数字校准模块，比较了在 FPGA 上部署的校准效果和硬件开销。尽管 LMS 算法的校准模块硬件开销较大，但模拟开销很小，并且在校准效果上具有显著的优势，因此选取基于扰动注入的数字校准算法进行电路级的实现。对 16bits 的 SAR ADC 的扰动注入和校准各模块进行了设计与仿真，主要包含 CDAC 电容阵列和 ADC 的校准时序控制电路。针对于模拟扰动的注入，分析了注入大小和注入的随机性对校准效果的影响，最终选取固定大小的扰动注入方式，以较小的电路开销实现了优秀的校准效果。将基于 LMS 算法的数字校准模块部署在 FPGA 上，最终人为向 16bits SAR ADC 的 CDAC 中引入 3% 的电容失配，对整体 ADC 进行仿真，验证校准的必要性与有效性。通过 FPGA 上部署的校准模块，SARADC 的 ENOB 从 9.97bits 提升至 15.67bits，SARADC 的整体性能得到了极大的提升。

5 结论

5.1 论文总结

论文对高精度 SAR ADC 的结构和校准算法进行了深入地研究。在高精度 SAR ADC 中, CDAC 中的电容失配是影响 ADC 性能的重要因素。本文介绍了在高精度 SAR ADC 中常用的分段式电容阵列结构, 分析了电容失配和寄生电容对权重误差的影响, 解释了针对电容失配的校准算法的必要性。为了在 16bits SAR ADC 上部署数字校准, 选取了两种数字校准方案, 通过建模验证了校准可行性, 并比较了不同校准算法的校准效果, 最终选择了校准效果更好的方案, 部署在 FPGA 上。在 $0.18\mu\text{m}$ 工艺的 16bits 1MS/s 的 SAR ADC 中设计了相应的校准电路和 ADC 的校准时序控制模块, 完成验证后进行整体仿真, 验证校准效果。下面总结论文的具体工作内容:

1. 本文对高精度 SAR ADC 的校准算法进行了调研, 充分了解了近十年针对于高精度 SAR ADC 权重失配的数字校准算法。

2. 研究了模数转换器的原理和架构, 介绍了 ADC 的性能指标, 并简单介绍了 3 种常见的奈奎斯特 ADC 结构, 分析比较了不同 ADC 结构的特点和适用场景。

3. 介绍了高精度 SAR ADC 的 CDAC 重要技术, 包含 V_{cm_based} 切换策略和分段式电容阵列, 解释电容失配和寄生电容造成的权重误差。随后介绍了 3 种数字校准技术, 其中详细解释了 LMS 算法的原理和在数字校准的应用。

4. 针对于使用的 16 位 SAR ADC 进行建模仿真, 并部署了两种校准算法(三种校准模块)进行验证。在完成功能验证后, 比较三种校准模块的校准效果。不同校准模块随量化噪声的增大, 校准效果的退化速度不同, 通过行为级模型仿真比较了三种校准模块在不同热噪声下的校准效果, 补充该方面研究的空缺。此外, 通过行为级建模的仿真结构确定了 LMS 校准算法的参数。

5. 总结了近年使用 LMS 数字校准的论文的校准模块实现方式, 其中基本都通过 FPGA 或 MATLAB 中实行。因此本文进一步在 FPGA 中部署了基于扰动注入的 LMS 前台校准模块和低位校准高位的前台校准模块, 比较校准效果与硬件开销。尽管 LMS 校准算法的硬件开销更大, 但在低量化噪声的情况下, 校准效果显著优于低位校准高位, 故选取前者对 16bits SAR ADC 电路进行校准。

6.对 16bits 的 SAR ADC 的扰动注入和校准各模块进行了设计与仿真。针对于模拟扰动的注入,分析了注入大小和注入的随机性对校准效果的影响,最终选取固定大小的扰动注入方式。设计并验证了校准电路后,人为向 16bits SAR ADC 的 CDAC 中引入 3%的电容失配,对整体 ADC 进行仿真,验证校准的必要性与有效性。通过 FPGA 上部署的校准模块,SAR ADC 的 ENOB 从 9.97bits 提升至 15.67bits,整体性能得到了极大的提升。

5.2 后续展望

本文通过在 16bits SAR ADC 中通过部署基于扰动注入的数字前台校准算法提高了整体性能。由于时间和经验不足,本文在高精度 SAR ADC 校准方面还存在一些不足与待完善的地方,包括:

- 1.论文对高精度 SAR ADC 的主要研究为针对 CDAC 电容失配的数字校准,没有对高精度 SAR ADC 的比较器进行相关研究。但在高精度 SAR ADC 设计中,比较器性能也至关重要,比较器噪声不仅会影响 ADC 的整体性能,也会影响数字校准模块的校准效果。

- 2.论文对使用的 16bits SAR ADC 部署了两种数字校准方案,并进行了建模验证和 FPGA 实现,但最终只选取了一种进行电路实现与验证。后续可以在电路级实现另一种方案,进行校准效果的对比。

- 3.本文对校准模块进行了建模和电路前仿,但未进行版图设计和后仿,因此该校准方案有待进一步的实验验证。

参考文献

- [1] Hae-Seung Lee and D. Hodges, "Accuracy considerations in self-calibrating A/D converters," in *IEEE Transactions on Circuits and Systems*, vol. 32, no. 6, pp. 590-597, June 1985.
- [2] J. McNeill, M. C. W. Coln and B. J. Larivee, "'Split ADC' architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC," in *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2437-2445, Dec. 2005.
- [3] J. A. McNeill, K. Y. Chan, M. C. W. Coln, C. L. David and C. Brenneman, "All-Digital Background Calibration of a Successive Approximation ADC Using the "Split ADC" Architecture," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 10, pp. 2355-2365, Oct. 2011.
- [4] W. Liu, P. Huang, Y. Chiu. A 12b 22.5/45MS/s 3.0mW 0.059mm² CMOS SAR ADC achieving over 90dB SFDR[C]. 2010 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2010.
- [5] H. Li, M. Maddox, M. C. W. Coin, W. Buckley, D. Hummerston and N. Naeem, "A signal-independent background-calibrating 20b 1MS/S SAR ADC with 0.3ppm INL," 2018 IEEE International Solid - State Circuits Conference - (ISSCC), San Francisco, CA, USA, 2018, pp. 242-244.
- [6] J. Zhou, P. Wang, Z. Luo and F. Li, "All-Digital Background Calibration of a Pipelined-SAR ADC Using the "Split ADC" Architecture," 2023 IEEE International Symposium on Circuits and Systems (ISCAS), Monterey, CA, USA, 2023, pp. 1-5.
- [7] Z. Du, B. Yao, W. Xu, X. Wang, H. Hu and L. Qiu, "Capacitor Mismatch Calibration of a 16-Bit SAR ADC Using Optimized Segmentation and Shuffling Scheme," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 70, no. 8, pp. 2789-2793, Aug. 2023.
- [8] CHANG A H, LEE H-S, BONING D. A 12b 50MS/s 2.1 mW SAR ADC with redundancy and digital background calibration[C] //ESSCIRC (ESSCIRC), 2013 Proceedings of the. 2013: 109-112.
- [9] M. Ding, P. Harpe, Y. -H. Liu, B. Busze, K. Philips and H. de Groot, "A 46 μ W 13 b 6.4 MS/s SAR ADC With Background Mismatch and Offset Calibration," in *IEEE Journal of Solid-State Circuits*, vol. 52, no. 2, pp. 423-432, Feb. 2017.
- [10] J. Shen, A. Shikata, L. D. Fernando, et al. A 16-bit 16-MS/s SAR ADC With On-Chip Calibration in 55-nm CMOS. *IEEE Journal of Solid-State Circuits*. 2018. 53(4): 1149-1160.
- [11] Willy M.C. Sansen.模拟集成电路设计精粹[M].(陈莹梅).北京:清华大学出版社,2008.
- [12] 钟利斌.高精度ADC误差提取与校正技术研究[D].电子科技大学,2021.
- [13] 薛建锋.基于802.11n WLAN应用的低功耗逐次逼近式模数转换器设计[D].上海交通大学,2019.
- [14] 肖航.一种混合结构逐次逼近型模数转换器的研究与设计[D].电子科技大学,2022.

-
- [15] 孟昊.16位逐次逼近型ADC设计[D].电子科技大学,2021.
- [16] C. -C. Liu, C. -H. Kuo and Y. -Z. Lin, "A 10 bit 320 MS/s Low-Cost SAR ADC for IEEE 802.11ac Applications in 20 nm CMOS," in *IEEE Journal of Solid-State Circuits*, vol. 50, no. 11, pp. 2645-2654, Nov. 2015.
- [17] C. -C. Liu et al., "A 10b 100MS/s 1.13mW SAR ADC with binary-scaled error compensation," 2010 IEEE International Solid-State Circuits Conference - (ISSCC), San Francisco, CA, USA, 2010, pp. 386-387.
- [18] D. -J. Chang, W. Kim, M. -J. Seo, H. -K. Hong and S. -T. Ryu, "Normalized-Full-Scale-Referencing Digital-Domain Linearity Calibration for SAR ADC," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 2, pp. 322-332, Feb. 2017.
- [19] C. C. Lee, C. -Y. Lu, R. Narayanaswamy and J. B. Rizk, "A 12b 70MS/s SAR ADC with digital startup calibration in 14nm CMOS," 2015 Symposium on VLSI Circuits (VLSI Circuits), Kyoto, Japan, 2015, pp. C62-C63.
- [20] Y. Chen, Q. Huang, Y. Fan, Q. Zhao, S. Huang and J. Yuan, "A 16-bit 4-MS/s SAR ADC With Dual-Segmental Bit Weight Self-Calibration," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 71, no. 9, pp. 3961-3974, Sept. 2024.
- [21] J. McNeill, M. C. W. Coln and B. J. Larivee, "'Split ADC' architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC," in *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp. 2437-2445, Dec. 2005.
- [22] J. A. McNeill, M. C. W. Coln, D. R. Brown and B. J. Larivee, "Digital Background-Calibration Algorithm for "Split ADC" Architecture," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 2, pp. 294-306, Feb. 2009.
- [23] B. Widrow, J. McCool and M. Ball, "The complex LMS algorithm," in *Proceedings of the IEEE*, vol. 63, no. 4, pp. 719-720, April 1975.
- [24] B. Widrow and M. A. Lehr, "30 years of adaptive neural networks: perceptron, Madaline, and backpropagation," in *Proceedings of the IEEE*, vol. 78, no. 9, pp. 1415-1442, Sept. 1990.
- [25] 王晗峰.一种带有自校准技术的高精度SAR ADC的研究与设计[D].电子科技大学,2024.
- [26] D. Zhang and A. Alvandpour, "Analysis and Calibration of Nonbinary-Weighted Capacitive DAC for High-Resolution SAR ADCs," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 61, no. 9, pp. 666-670, Sept. 2014.
- [27] A. Flores and B. Widrow, "Assessment of the efficiency of the LMS algorithm based on spectral information," *Conference Record of the Thirty-Eighth Asilomar Conference on Signals, Systems and Computers*, 2004., Pacific Grove, CA, USA, 2004, pp. 120-124 Vol.1.
- [28] Q. Zhang et al., "A 13-Bit ENOB Third-Order Noise-Shaping SAR ADC Employing Hybrid Error Control Structure and LMS-Based Foreground Digital Calibration," in *IEEE Journal of Solid-State Circuits*, vol. 57, no. 7, pp. 2181-2195, July 2022.

致谢

四年的本科时光转瞬即逝，在四年的学习生活中，认识了许多优秀的老师与师兄，遇见了许多优秀的同学。在这四年中，有过愉快的休闲时光，有过迷惘时期，有过加班奋斗的科研时光，有过展望未来的畅谈，在毕业之际，由衷地感谢给予我莫大帮助的人们：

首先感谢学院的各位老师，带领我入门集成电路这个充满可能的专业。感谢幸新鹏老师，在我的大学四年给予了学科竞赛和科研的指导，老师科研上严谨认真的态度和人生上保持专注的建议都给予了我很大的启发。感谢李莎莎老师在科研中的指导和帮助。

感谢梁增庆师兄，在科研与学习中给予了我莫大的帮助，在我的大四学年耐心地指导和鼓励着我。感谢王成学长和吴嘉浩学长带领我入门该领域的学习。感谢黄法森、练建林、汪垵锐、郭添鹏学长和李先钊同学平时的关心与帮助。感谢王楠、吕汇典和徐永超同学对我的鼓励和帮助，我们有过快乐的休闲时光，也分享了对未来的展望。

感谢我的父母一直以来对我的支持和关心，他们的默默付出我会一直牢记在心。